

Kei TOKUI et al.  
03/25/04 - BSKB  
703-205-8000  
0020-5239pusi

日本国特許庁  
JAPAN PATENT OFFICE

102

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月20日  
Date of Application:

出願番号 特願2003-142318  
Application Number:

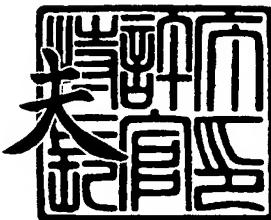
[ST. 10/C] : [JP2003-142318]

出願人 シャープ株式会社  
Applicant(s):

2003年12月24日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康



【書類名】 特許願  
【整理番号】 189731  
【提出日】 平成15年 5月20日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 17/00  
【発明者】  
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内  
【氏名】 徳井 圭  
【発明者】  
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内  
【氏名】 岩田 浩  
【発明者】  
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内  
【氏名】 矢追 善史  
【発明者】  
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内  
【氏名】 柴田 晃秀  
【発明者】  
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内  
【氏名】 那脇 勝  
【特許出願人】  
【識別番号】 000005049  
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号  
【氏名又は名称】 シャープ株式会社

**【代理人】**

【識別番号】 100084146

**【弁理士】**

【氏名又は名称】 山崎 宏

**【選任した代理人】**

【識別番号】 100100170

**【弁理士】**

【氏名又は名称】 前田 厚司

**【選任した代理人】**

【識別番号】 100122286

**【弁理士】**

【氏名又は名称】 仲倉 幸典

**【先の出願に基づく優先権主張】**

【出願番号】 特願2003- 85087

【出願日】 平成15年 3月26日

**【手数料の表示】**

【予納台帳番号】 204815

【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびそれを備えた携帯電子機器

【特許請求の範囲】

【請求項 1】 チャージポンプ装置と、

上記チャージポンプ装置の出力線からの出力が供給され、不揮発性メモリ素子をメモリセルとして用いたメモリセルアレイとを備え、

上記チャージポンプ装置は、

入力線と上記出力線との間に並列に接続された第1，第2のチャージポンプと

、  
上記第1のチャージポンプの出力端子と上記出力線とを接続する線に設けた第1の出力側スイッチと、

上記第2のチャージポンプの出力端子と上記出力線とを接続する線に設けた第2の出力側スイッチと、

上記第2のチャージポンプの入力端子と上記入力線とを接続する線に設けた入力側スイッチと、

上記第1のチャージポンプの出力端子と上記第1の出力側スイッチとの間と、  
上記第2のチャージポンプの入力端子と上記入力側スイッチとの間とを接続する線に設けた直列接続用スイッチと  
を有し、

上記不揮発性メモリ素子は、

半導体層上にゲート絶縁膜を介して形成されたゲート電極と、

このゲート電極下に上記ゲート絶縁膜を介して配置されたチャネル領域と、

上記チャネル領域の両側に配置されると共に、上記チャネル領域と逆導電型を有する拡散領域と、

上記ゲート電極の両側に形成されて、電荷または分極を保持する機能を有するメモリ機能体と

を有することを特徴とする半導体記憶装置。

【請求項 2】 チャージポンプ装置と、

上記チャージポンプ装置の出力線からの出力が供給され、不揮発性メモリ素子

をメモリセルとして用いたメモリセルアレイとを備え、

上記チャージポンプ装置は、

入力線と上記出力線との間に接続された  $k$  個 ( $k$  : 3 以上の正の整数) のチャージポンプと、

上記  $k$  個のチャージポンプの各出力端子と上記出力線とを接続する各線に設けた  $k$  個の出力側スイッチと、

2 から  $k$  番目までの上記チャージポンプの各入力端子と上記入力線とを接続する各線に設けた ( $k - 1$ ) 個の入力側スイッチと、

( $n - 1$ ) 番目 ( $n$  : 2 から  $k$  までの整数) の上記チャージポンプの出力側端子と ( $n - 1$ ) 番目の上記出力側スイッチとの間と、 $n$  番目の上記チャージポンプの入力端子とその入力端子に接続された上記入力側スイッチとの間とを接続する線に設けた ( $n - 1$ ) 番目の直列接続用スイッチと

を有し、

上記不揮発性メモリ素子は、

半導体層上にゲート絶縁膜を介して形成されたゲート電極と、

このゲート電極下に上記ゲート絶縁膜を介して配置されたチャネル領域と、

上記チャネル領域の両側に配置されると共に、上記チャネル領域と逆導電型を有する拡散領域と、

上記ゲート電極の両側に形成されて、電荷を保持する機能を有するメモリ機能体と

を有することを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 に記載の半導体記憶装置において、

上記第 1, 第 2 の出力側スイッチは、ダイオード接続された電界効果トランジスタであることを特徴とする半導体記憶装置。

【請求項 4】 請求項 2 に記載の半導体記憶装置において、

上記出力側スイッチは、ダイオード接続された電界効果トランジスタであることを特徴とする半導体記憶装置。

【請求項 5】 請求項 1 に記載の半導体記憶装置において、

上記第 1, 第 2 のチャージポンプの少なくとも一方は、互いに直列接続された

複数のポンプステージを含むことを特徴とする半導体記憶装置。

【請求項6】 請求項2に記載の半導体記憶装置において、

$k$ 個の上記チャージポンプのうち少なくとも1つは、互いに直列接続された複数のポンプステージを含むことを特徴とする半導体記憶装置。

【請求項7】 請求項1または2に記載の半導体記憶装置において、

上記半導体記憶装置の出力端子と上記メモリセルアレイの入力端子とを接続する線に設けた少なくとも1つの電圧極性反転回路を備えたことを特徴とする半導体記憶装置。

【請求項8】 請求項1または2に記載の半導体記憶装置において、

上記メモリ機能体の少なくとも一部が上記拡散領域の一部にオーバーラップしていることを特徴とする半導体記憶装置。

【請求項9】 請求項1または2に記載の半導体記憶装置において、

上記メモリ機能体は、

上記ゲート絶縁膜の表面と略並行な表面を有して電荷を保持する機能を有する膜と、

上記チャネル領域または半導体層とを隔てる絶縁膜とを有し、

上記絶縁膜の膜厚が、上記ゲート絶縁膜の膜厚より薄く、かつ、0.8 nm以上であることを特徴とする半導体記憶装置。

【請求項10】 請求項1または2に記載の半導体記憶装置を備えたことを特徴とする携帯電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置およびそれを備えた携帯電子機器に関する。

【0002】

【従来の技術】

従来から不揮発性の半導体記憶装置としては、代表的にはフラッシュメモリが用いられている。

## 【0003】

このフラッシュメモリでは、図26に示すように、半導体基板901上にゲート絶縁膜908を介してフローティングゲート902、絶縁膜907、ワード線（コントロールゲート）903がこの順に形成されており、フローティングゲート902の両側には、拡散領域によるソース線904及びビット線905が形成されてメモリセルを構成する。このメモリセルの周囲には、素子分離領域906が形成されている（特許文献1を参照）。

## 【0004】

上記メモリセルは、フローティングゲート902中の電荷量の多寡として記憶を保持する。上記メモリセルを配列して構成したメモリセルアレイは、特定のワード線、ビット線を選択して所定の電圧を印加することにより、所望のメモリセルの書き換え、読み出し動作を行なうことができる。

## 【0005】

このようなフラッシュメモリでは、フローティングゲート902中の電荷量が変化したとき、図27に実線の曲線と破線の曲線で示すような、ドレン電流 $I_d$ 対ゲート電圧 $V_g$ 特性を示す。すなわち、上記フローティングゲート902中の負電荷の量が増加すると、図27中の実線の曲線で示す特性から破線の曲線で示す特性になって、 $I_d - V_g$ 曲線は、同じドレン電流 $I_d$ に対してゲート電圧 $V_g$ が増加する方向にほぼ平行移動して、閾値電圧が増加する。

## 【0006】

## 【特許文献1】

特開平5-304277号公報

## 【0007】

## 【発明が解決しようとする課題】

しかし、上述したようなフラッシュメモリでは、フローティングゲート902とワード線903とを隔てる絶縁膜907を配置することが機能上必要であると共に、フローティングゲート902からの電荷漏れを防ぐために、ゲート絶縁膜908の厚さを薄くすることが困難であった。そのため、実効的な絶縁膜907及びゲート絶縁膜908の薄膜化は困難であり、メモリセルの微細化を阻害して

いた。

### 【0008】

また、上記メモリセルをメモリセルアレイに用いた半導体記憶装置では、チャージポンプ装置で異なる複数の電圧レベルを得る場合、各電圧レベルごとに専門のチャージポンプ回路を備えることになるため、チャージポンプ回路の数が多くなり、回路面積の増大を招いてしまうという問題がある。

### 【0009】

そこで、本発明の課題は、回路面積を小さくしても、異なる複数の電圧レベルを得ることができる半導体記憶装置を提供することにある。

### 【0010】

また、本発明のもう1つの課題は、上記半導体記憶装置を用いて、高機能、小型および低コストな携帯電子機器を提供することにある。

### 【0011】

#### 【課題を解決するための手段】

上記課題を解決するため、第1の発明の半導体記憶装置は、チャージポンプ装置と、

上記チャージポンプ装置の出力線からの出力が供給され、不揮発性メモリ素子をメモリセルとして用いたメモリセルアレイとを備え、

上記チャージポンプ装置は、

入力線と上記出力線との間に並列に接続された第1、第2のチャージポンプと

上記第1のチャージポンプの出力端子と上記出力線とを接続する線に設けた第1の出力側スイッチと、

上記第2のチャージポンプの出力端子と上記出力線とを接続する線に設けた第2の出力側スイッチと、

上記第2のチャージポンプの入力端子と上記入力線とを接続する線に設けた入力側スイッチと、

上記第1のチャージポンプの出力端子と上記第1の出力側スイッチとの間と、上記第2のチャージポンプの入力端子と上記入力側スイッチとの間とを接続する

線に設けた直列接続用スイッチと  
を有し、

上記不揮発性メモリ素子は、  
半導体層上にゲート絶縁膜を介して形成されたゲート電極と、  
このゲート電極下に上記ゲート絶縁膜を介して配置されたチャネル領域と、  
上記チャネル領域の両側に配置されると共に、上記チャネル領域と逆導電型を  
有する拡散領域と、  
上記ゲート電極の両側に形成されて、電荷または分極を保持する機能を有する  
メモリ機能体と  
を有することを特徴とたことを特徴としている。

#### 【0012】

上記構成の半導体記憶装置によれば、上記チャージポンプ装置では、直列接続  
用スイッチがオン、かつ、上記入力側スイッチがオフのとき、第1の出力側スイ  
ッチをオフにすると共に、上記第2の出力側スイッチをオンにする。これにより  
、上記第1のチャージポンプと第2のチャージポンプとが互いに直列接続する。

#### 【0013】

また、上記チャージポンプ装置では、直列接続用スイッチがオフ、かつ、入力  
側スイッチがオンのとき、第1の出力側スイッチをオンにすると共に、第2の出  
力側スイッチをオンにする。これにより、上記第1のチャージポンプと第2のチ  
ャージポンプとが互いに並列接続する。

#### 【0014】

このように、上記チャージポンプ装置では、第1、第2のチャージポンプを互  
いに直列接続させたり、第1、第2のチャージポンプを互いに並列接続させたり  
することができるので、複数の電圧レベルを、各電圧レベル専門のチャージポン  
プを用いることなく得ることができ、回路数を減少させことができる。

#### 【0015】

また、上記チャージポンプ装置では、第1、第2のチャージポンプが互いに直  
列接続するとき、第1の出力側スイッチをオフにすると共に、上記第2の出力側  
スイッチをオンにして、第1のチャージポンプと第2のチャージポンプとが短絡

するのを防ぐことができる。

### 【0016】

上記不揮発性メモリは、ゲート電極の両側にメモリ機能体を有するので、ゲート絶縁膜に関するスケーリングが可能であり、短チャネル効果に強い。これにより、上記メモリセルを微細化しても、2ビット以上の記憶保持ができる。その結果、上記メモリセルアレイの回路面積を縮小して、記憶装置を小型化することができる。

### 【0017】

また、上記チャージポンプ装置の回路面積も縮小することができるので、不揮発性メモリ素子の微細化や多値記憶による回路面積の減少効果が損なわれず、記憶装置をより小型化することができる。

### 【0018】

第2の発明の半導体記憶装置は、

チャージポンプ装置と、

上記チャージポンプ装置の出力線からの出力が供給され、不揮発性メモリ素子をメモリセルとして用いたメモリセルアレイとを備え、

上記チャージポンプ装置は、

入力線と上記出力線との間に接続されたk個（k：3以上の正の整数）のチャージポンプと、

上記k個のチャージポンプの各出力端子と上記出力線とを接続する各線に設けたk個の出力側スイッチと、

2からk番目までの上記チャージポンプの各入力端子と上記入力線とを接続する各線に設けた（k-1）個の入力側スイッチと、

（n-1）番目（n：2からkまでの整数）の上記チャージポンプの出力側端子と（n-1）番目の上記出力側スイッチとの間と、n番目の上記チャージポンプの入力端子とその入力端子に接続された上記入力側スイッチとの間とを接続する線に設けた（n-1）番目の直列接続用スイッチと  
を有し、

上記不揮発性メモリ素子は、

半導体層上にゲート絶縁膜を介して形成されたゲート電極と、  
このゲート電極下に上記ゲート絶縁膜を介して配置されたチャネル領域と、  
上記チャネル領域の両側に配置されると共に、上記チャネル領域と逆導電型を  
有する拡散領域と、  
上記ゲート電極の両側に形成されて、電荷を保持する機能を有するメモリ機能  
体と  
を有することを特徴としている。

#### 【0019】

上記構成の半導体記憶装置によれば、上記チャージポンプ装置では、(n-1)  
)番目の直列接続用スイッチがオン、かつ、n番目のチャージポンプの入力端子  
に接続された入力側スイッチがオフのとき、(n-1)番目の出力側スイッチを  
オフにすると共に、n番目の出力側スイッチをオンにする。これにより、上記(n-1)  
番目のチャージポンプとn番目のチャージポンプとが互いに直列接続する。

#### 【0020】

また、上記チャージポンプ装置では、(n-1)番目の直列接続用スイッチが  
オフ、かつ、n番目のチャージポンプの入力端子に接続された入力側スイッチが  
オンのとき、(n-1)番目の出力側スイッチをオンにすると共に、n番目の出  
力側スイッチをオンにする。これにより、上記(n-1)番目のチャージポンプ  
とn番目のチャージポンプとが互いに並列接続する。

#### 【0021】

このように、上記チャージポンプ装置では、(n-1)番目のチャージポンプ  
とn番目のチャージポンプとを互いに直列接続させたり、上記(n-1)番目の  
チャージポンプとn番目のチャージポンプとを互いに並列接続させたりするこ  
とができるので、複数の電圧レベルを、各電圧レベル専門のチャージポンプを用い  
ることなく得ることができ、回路数を減少させることができる。

#### 【0022】

また、上記(n-1)番目のチャージポンプとn番目のチャージポンプとが互  
いに直列接続するとき、(n-1)番目の出力側スイッチをオンにすると共に、

n番目の出力側スイッチをオンにして、(n-1)番目のチャージポンプとn番目のチャージポンプとが短絡するのを防ぐことができる。

#### 【0023】

上記不揮発性メモリは、ゲート電極の両側にメモリ機能体を有するので、ゲート絶縁膜に関するスケーリングが可能であり、短チャネル効果に強い。これにより、上記メモリセルを微細化しても、2ビット以上の記憶保持ができる。その結果、上記メモリセルアレイの回路面積を縮小して、記憶装置を小型化することができる。

#### 【0024】

また、上記チャージポンプ装置の回路面積も縮小することができるので、不揮発性メモリ素子の微細化や多値記憶による回路面積の減少効果が損なわれず、記憶装置をより小型化することができる。

#### 【0025】

一実施形態の半導体記憶装置は、上記第1の発明の半導体記憶装置において、上記第1、第2の出力側スイッチは、ダイオード接続された電界効果トランジスタである。

#### 【0026】

上記実施形態の半導体記憶装置によれば、上記第1、第2の出力側スイッチは、ダイオード接続された電界効果トランジスタであるので、入力線と出力線との間を流れる電流を用いて制御することができる。したがって、上記第1、第2の出力側スイッチを制御するための例えば制御回路を設けなくてもよく、回路面積をより減少させることができる。

#### 【0027】

一実施形態の半導体記憶装置は、上記第2の発明の半導体記憶装置において、上記出力側スイッチは、ダイオード接続された電界効果トランジスタである。

#### 【0028】

上記実施形態の半導体記憶装置によれば、上記出力側スイッチは、ダイオード接続された電界効果トランジスタであるので、入力線と出力線との間を流れる電流を用いて制御することができる。したがって、上記出力側スイッチを制御する

ための例えば制御回路を設けなくてもよく、回路面積をより減少させることができる。

### 【0029】

一実施形態の半導体記憶装置は、上記第1の発明の半導体記憶装置において、上記第1，第2のチャージポンプの少なくとも一方は、互いに直列接続された複数のポンプステージを含む。

### 【0030】

上記実施形態の半導体記憶装置によれば、上記第1，第2のチャージポンプの少なくとも一方が、互いに直列接続された複数のポンプステージを含むので、ポンプステージ数を適切に設定することにより、所望の電圧レベルを確実に得ることができる。

### 【0031】

また、上記ポンプステージ数を適切に設定することにより、例えば分圧器または分流器を使用する必要がなくなり、消費電力の低減を可能とする。

### 【0032】

一実施形態の半導体記憶装置は、上記第2の発明の半導体記憶装置において、 $k$ 個の上記チャージポンプのうち少なくとも1つは、互いに直列接続された複数のポンプステージを含む。

### 【0033】

上記実施形態の半導体記憶装置によれば、上記 $k$ 個のチャージポンプのうち少なくとも1つが、互いに直列接続された複数のポンプステージを含むので、ポンプステージ数を適切に設定することにより、所望の電圧レベルを確実に得ることができる。

### 【0034】

また、上記ポンプステージ数を適切に設定することにより、例えば分圧器または分流器を使用する必要がなくなり、消費電力の低減を可能とする。

### 【0035】

一実施形態の半導体記憶装置は、上記チャージポンプ装置の出力端子と上記メモリセルアレイの入力端子とを接続する線に設けた少なくとも1つの電圧極性反

転回路を備えている。

#### 【0036】

上記実施形態の半導体記憶装置によれば、上記チャージポンプ装置の出力端子とメモリセルアレイの入力端子とを接続する線に少なくとも1つの電圧極性反転回路を設けているので、不揮発性メモリ素子の各操作モードで必要とされる負電圧を得ることできる。したがって、上記不揮発性メモリ素子に負電圧を供給するための負電圧専用チャージポンプを設けなくてもよく、小さな回路面積で負電圧をメモリセルアレイに供給できる。

#### 【0037】

一実施形態の半導体記憶装置は、上記第1または第2の発明の半導体記憶装置において、上記メモリ機能体の少なくとも一部が上記拡散領域の一部にオーバーラップしている。

#### 【0038】

また、別の一実施形態の半導体記憶装置は、上記第1または第2の半導体記憶装置において、上記不揮発性メモリ素子は、上記ゲート絶縁膜の表面と略並行な表面を有して電荷を保持する機能を有する膜と、上記チャネル領域または半導体層とを隔てる絶縁膜とを有し、上記絶縁膜の膜厚が、上記ゲート絶縁膜の膜厚より薄く、かつ、0.8nm以上である。

#### 【0039】

また、上記不揮発性メモリ素子の書き込み動作及び消去動作の電圧を低下させることによって、従来のように、高電圧に対応するためにゲート絶縁膜の膜厚を厚くする必要がない。このため、上記不揮発性メモリ素子や、上記不揮発性メモリ素子を動作させるための回路を構成する例えばトランジスタにおける短チャンネル効果が軽減される。その結果、上記不揮発性メモリ素子と、上記不揮発性メモリ素子を動作させるための回路を構成するトランジスタとについて、従来よりもチャンネル長を短くすることができる。

#### 【0040】

また、上記チャージポンプ装置に含まれる例えばキャパシタの面積を小さくすることができる。

## 【0041】

以上より、上記半導体記憶装置の回路面積を大幅に削減することが可能となる。

## 【0042】

第3の発明の携帯電子機器は、上記第1または第2の発明の半導体記憶装置を備えたことを特徴としている。

## 【0043】

上記構成の携帯電子機器によれば、1つの不揮発性メモリ当たり2ビットの記憶保持が可能で、かつ、微細化が容易な半導体記憶装置を備えているので、高機能化できると共に、小型化できる。また、小型化により、製造コストを削減することが可能になる。

## 【0044】

## 【発明の実施の形態】

まず、本発明の半導体記憶装置に用いる不揮発性のメモリ素子について、その概略を説明する。

## 【0045】

上記メモリ素子は、主として、半導体層と、ゲート絶縁膜と、ゲート電極と、チャネル領域と、拡散領域と、メモリ機能体とから構成される。ここで、上記チャネル領域とは、通常、半導体層と同じ導電型の領域であって、ゲート電極直下の領域を意味し、拡散領域は、チャネル領域と逆導電型の領域を意味する。

## 【0046】

具体的には、本発明のメモリ素子は、拡散領域である1つの第1導電型の領域と、チャネル領域である第2導電型の領域と、第1及び第2導電型の領域の境界を跨って配置された1つのメモリ機能体と、ゲート絶縁膜を介して設けられた電極とから構成されていてもよいが、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された2つのメモリ機能体と、メモリ機能体のゲート電極と反対側のそれぞれに配置される2つの拡散領域と、ゲート電極下に配置されたチャネル領域とから構成されることが適当である。

## 【0047】

本発明の半導体装置は、半導体層として半導体基板の上、好ましくは半導体基板内に形成された第1導電型のウェル領域の上に形成されることが好ましい。

#### 【0048】

半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、シリコンゲルマニウム、GaAs、InGaAs、ZnSe、GaN等の化合物半導体によるバルク基板が挙げられる。また、表面に半導体層を有するものとして、SOI (Silicon on Insulator) 基板、SOS基板又は多層SOI基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面にシリコン層が形成されたSOI基板等が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。

#### 【0049】

この半導体層上には、素子分離領域が形成されていることが好ましく、さらにトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてよい。なお、素子分離領域は、LOCOS (Local Oxidation of Silicon) 膜、トレンチ酸化膜、STI (Shallow Trench Isolation) 膜等種々の素子分離膜により形成することができる。半導体層は、P型又はN型の導電型を有してもよく、半導体層には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半導体層及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体層としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

#### 【0050】

ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘

電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20 nm程度、好ましく1～6 nm程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく（幅広で）形成されていてもよい。

### 【0051】

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状又は下端部に凹部を有した形状で形成されている。なお、ゲート電極は、単層又は多層の導電膜によって分離されることなく、一体形状として形成されていることが好ましいが、単層又は多層の導電膜によって、分離した状態で配置していくてもよい。また、ゲート電極は、側壁に側壁絶縁膜を有していてもよい。ゲート電極は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タンゲステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400 nm程度の膜厚で形成することが適当である。なお、ゲート電極の下にはチャネル領域が形成されている。

### 【0052】

なお、ゲート電極は、後述するメモリ機能体の側壁のみに形成されるか、あるいはメモリ機能体の上部を覆わないことが好ましい。このような配置により、コントラクトプラグをよりゲート電極と接近して配置することができるので、メモリ素子の微細化が容易となる。また、このような単純な配置を有するメモリ素子は製造が容易であり、歩留まりを向上することができる。

### 【0053】

メモリ機能体は、少なくとも電荷を保持する機能（以下「電荷保持機能」と記す）を有する。言換えると、電荷を蓄え、保持するか、電荷をトラップするか、電荷分極状態を保持する機能を有する。この機能は、例えば、電荷保持機能を有する膜又は領域をメモリ機能体が含むことにより発揮される。この機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリ

ケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキサイド、ジルコニウムオキサイド、タンタルオキサイド等の高誘電体；酸化亜鉛；強誘電体；金属等が挙げられる。したがって、メモリ機能体は、例えば、シリコン窒化膜を含む絶縁膜；導電膜もしくは半導体層を内部に含む絶縁膜；導電体もしくは半導体ドットを1つ以上含む絶縁膜；電界により内部電荷が分極し、その状態が保持される強誘電体膜を含む絶縁膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSIプロセスではごく標準的に用いられる材料であるため、好ましい。

#### 【0054】

シリコン窒化膜などの電荷保持機能を有する膜を内部に含む絶縁膜をメモリ機能体として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。また、複数のメモリ素子を配列する場合、メモリ素子間の距離が縮まって隣接するメモリ機能体が接触しても、メモリ機能体が導電体からなる場合のように夫々のメモリ機能体に記憶された情報が失われることがない。さらに、コントラクトプラグをよりメモリ機能体と接近して配置することができ、場合によってはメモリ機能体と重なるように配置することができるので、メモリ素子の微細化が容易となる。

#### 【0055】

なお、記憶保持に関する信頼性を高めるためには、電荷保持機能を有する膜は、必ずしも膜状である必要はなく、電荷保持機能を有する膜が絶縁膜中に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に電荷保持機能を有する膜が分散していることが好ましい。

#### 【0056】

電荷保持膜として導電膜又は半導体層を用いる場合には、電荷保持膜が半導体層（半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡

散領域) 又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内的一部分に配置した構造等が挙げられる。

#### 【0057】

導電膜又は半導体層を内部に含む絶縁膜をメモリ機能体として用いることにより、導電体又は半導体中への電荷の注入量を自由に制御でき、多値化しやすいため、好ましい。

#### 【0058】

さらに、導電体又は半導体ドットを1つ以上含む絶縁膜をメモリ機能体として用いることにより、電荷の直接トンネリングによる書き込み・消去が行ないやすくなり、低消費電力化することができ、好ましい。

#### 【0059】

また、メモリ機能体として、電界により分極方向が変化するPZT、PLZT等の強誘電体膜を用いてもよい。この場合、分極により強誘電体膜の表面に実質的に電荷が発生し、その状態で保持される。従って、メモリ機能を有する膜外から電荷を供給され、電荷をトラップする膜と同様なヒステリシス特性を得ることができ、かつ、強誘電体膜の電荷保持は、膜外からの電荷注入の必要がなく、膜内の電荷の分極のみによってヒステリシス特性を得るために、高速に書き込み・消去ができ、好ましい。

#### 【0060】

なお、メモリ機能体を構成する絶縁膜としては、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜であることが適当であり、この電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

#### 【0061】

メモリ機能体に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に配置しており、また、直接、ゲート絶縁膜を介して半導体層(半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域)上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート

電極の側壁の全て又は一部を覆うように形成されていることが好ましい。応用例としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。

### 【0062】

拡散領域は、ソース／ドレイン領域として機能させることができ、半導体層又はウェル領域と逆導電型を有する。拡散領域と半導体層又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。拡散領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてS O I 基板を用いる場合には、拡散領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

### 【0063】

拡散領域は、ゲート電極端とオーバーラップするように配置していくてもよいし、ゲート電極端と一致するように配置してもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、電荷保持膜下のオフセット領域の反転しやすさが、メモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、拡散領域（ソース／ドレイン）間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量、つまり、ゲート長方向における一方のゲート電極端から近い方の拡散領域までの距離は短い方が好ましい。特に重要なことは、メモリ機能体中の電荷保持機能を有する膜又は領域の少なくとも一部が、拡散領域の一部とオーバーラップしていることである。本発明の半導体記憶装置を構成するメモリ素子の本質は、メモリ機能体の側壁部にのみ存在するゲート電極と拡散領域間の電圧差により、メモリ機能体を横切る電界によって記憶を書き換えることであるためである。

## 【0064】

拡散領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成された拡散領域上に、この拡散領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体層に比べて非常に大きいために、半導体層内における拡散領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、この拡散領域の一部は、ゲート電極とともに、メモリ機能体の少なくとも一部を挟持するように配置することが好ましい。

## 【0065】

本発明のメモリ素子は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に単層又は積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、電荷保持機能を有する膜（以下「電荷保持膜」と記す）、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等の電荷保持膜を含む単層膜又は積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法；絶縁膜又は電荷保持膜を形成し、適当な条件下でエッチバックしてサイドウォールスペーサ状に残し、さらに電荷保持膜又は絶縁膜を形成し、同様にエッチバックしてサイドウォールスペーサ状に残す方法；粒子状の電荷保持材料を分散させた絶縁膜材料を、ゲート電極を含む半導体層上に塗布または堆積し、適当な条件下でエッチバックして、絶縁膜材料をサイドウォールスペーサ形状に残す方法；ゲート電極を形成した後、前記単層膜又は積層膜を形成し、マスクを用いてパターニングする方法等が挙げられる。また、ゲート電極を形成する前に、電荷保持膜、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等を形成し、これらの膜のチャネル領域となる領域に開口を形成し、その上全面にゲート電極材料膜を形成し、このゲート電極材料膜を、開口を含み、開口よりも大きな形状でパターニングする方法等が挙げられる。

## 【0066】

このメモリ素子の形成方法の一例を説明する。

## 【0067】

まず、公知の手順で、半導体基板上にゲート絶縁膜及びゲート電極を形成する。続いて、上記半導体基板上全面に、膜厚0.8～20nm、より好ましくは膜厚3～10nmのシリコン酸化膜を、熱酸化法により形成し、又はCVD (Chemical Vapor Deposition) 法により堆積する。次に、上記シリコン酸化膜上全面に、膜厚2～15nm、より好ましくは3～10nmのシリコン窒化膜をCVD法により堆積する。更に、上記シリコン窒化膜上全面に、20～70nmのシリコン酸化膜をCVD法により堆積する。

## 【0068】

続いて、異方性エッティングによりシリコン酸化膜／シリコン窒化膜／シリコン酸化膜をエッティングバックすることにより、記憶に最適なメモリ機能体を、ゲート電極の側壁にサイドウォールスペーサ状に形成する。

## 【0069】

その後、上記ゲート電極及びサイドウォールスペーサ状のメモリ機能体をマスクとしてイオン注入することにより、拡散層領域（ソース／ドレイン領域）を形成する。その後、公知の手順でシリサイド工程や上部配線工程を行なえばよい。

## 【0070】

本発明のメモリ素子を配列してメモリセルアレイを構成した場合、メモリ素子の最良の形態は、例えば、（1）複数のメモリ素子のゲート電極が一体となってワード線の機能を有する、（2）上記ワード線の両側にはメモリ機能体が形成されている、（3）メモリ機能体内で電荷を保持するのは絶縁体、特にシリコン窒化膜である、（4）メモリ機能体はONO (Oxide Nitride Oxide) 膜で構成されており、シリコン窒化膜はゲート絶縁膜の表面と略平行な表面を有している、（5）メモリ機能体中のシリコン窒化膜はワード線及びチャネル領域とシリコン酸化膜で隔てられている、（6）メモリ機能体中のシリコン窒化膜と拡散領域とがオーバーラップしている、（7）ゲート絶縁膜の表面と略平行な表面を有するシリコン窒化膜とチャネル領域又は半導体層とを隔てる絶縁膜の厚さと、ゲート

絶縁膜の厚さが異なる、（8）1個のメモリ素子の書き込み及び消去動作は单一のワード線により行なう、（9）メモリ機能体の上には書き込み及び消去動作を補助する機能を有する電極（ワード線）がない、（10）メモリ機能体の直下で拡散領域と接する部分に拡散領域の導電型と反対導電型の不純物濃度が濃い領域を有する、という要件の全てを満たすものである。ただし、これらの要件の1つでも満たすものであればよい。

#### 【0071】

上述した要件の特に好ましい組み合わせは、例えば、（3）メモリ機能体内で電荷を保持するのが絶縁体、特にシリコン窒化膜であり、（6）メモリ機能体内の絶縁膜（シリコン窒化膜）と拡散領域とがオーバーラップしており、（9）メモリ機能体の上には書き込み及び消去動作を補助する機能を有する電極（ワード線）がない場合である。

#### 【0072】

要件（3）及び要件（9）を満たす場合には、以下のように、非常に有用である。まず、ビット線コンタクトをワード線側壁のメモリ機能体と、より接近して配置することができ、又はメモリ素子間の距離が接近しても、複数のメモリ機能体が干渉せず、記憶情報を保持できる。したがって、メモリ素子の微細化が容易となる。なお、メモリ機能体内の電荷保持領域が導電体の場合、容量カップリングによりメモリ素子間が近づくにつれて電荷保持領域間で干渉が起き、記憶情報を保持できなくなる。

#### 【0073】

また、メモリ機能体内の電荷保持領域が絶縁体（例えば、シリコン窒化膜）である場合、メモリセル毎にメモリ機能体を独立させる必要がなくなる。例えば、複数のメモリセルで共有される1本のワード線の両側に形成されたメモリ機能体は、メモリセル毎に分離する必要が無く、1本のワード線の両側に形成されたメモリ機能体を、ワード線を共有する複数のメモリセルで共有することが可能となる。そのため、メモリ機能体を分離するフォト、エッチング工程が不要となり、製造工程が簡略化される。さらに、フォトリソグラフィ工程の位置合わせマージン、エッチングの膜減りマージンが不要となるため、メモリセル間のマージンを

縮小できる。したがって、メモリ機能体内の電荷保持領域が導電体（例えば、多結晶シリコン膜）である場合と比較して、同じ微細加工レベルで形成しても、メモリセル占有面積を微細化することができる。なお、メモリ機能体内の電荷保持領域が導電体である場合、メモリ機能体をメモリセル毎に分離するフォト、エッチング工程が必要となり、フォトの位置合わせマージン、エッチングの膜減りマージンが必要となる。

#### 【0074】

さらに、メモリ機能体の上には書き込み及び消去動作を補助する機能を有する電極がなく素子構造が単純であるから工程数が減少し、歩留まりを向上させることができる。したがって、論理回路やアナログ回路を構成するトランジスタとの混載を容易にするとともに、安価な半導体記憶装置を得ることができるのである。

#### 【0075】

また、要件（3）及び（9）を満たす場合であって、さらに要件（6）を満たす場合には、より有用である。つまり、メモリ機能体内の電荷保持領域と拡散領域とをオーバーラップさせることにより、非常に低電圧で書き込み、消去が可能となる。具体的には、5V以下という低電圧により、書き込み及び消去動作を行なうことができる。この作用は、回路設計上においても非常に大きな効果である。フラッシュメモリのような高電圧をチップ内で作る必要がなくなるため、莫大な占有面積が必要となるチャージポンピング回路を省略又は規模を小さくすることが可能となる。特に、小規模容量のメモリを調整用としてロジックLSIに内蔵する場合、メモリ部の占有面積はメモリセルよりも、メモリセルを駆動する周辺回路の占有面積が支配的となるため、メモリセル用電圧昇圧回路を省略又は規模を小さくすることは、チップサイズを縮小させるためには最も効果的となる。

#### 【0076】

一方、要件（3）を満たさない場合、つまり、メモリ機能体内で電荷を保持するのが導電体である場合は、要件（6）を満たさない、つまり、メモリ機能体内の導電体と拡散領域がオーバーラップしていない場合でも、書き込み動作を行なうことができる。これは、メモリ機能体内の導電体がゲート電極との容量カップリ

ングにより書き込み補助を行なうからである。

#### 【0077】

また、要件（9）を満たさない場合、つまり、メモリ機能体の上に書き込み及び消去動作を補助する機能を有する電極がある場合は、要件（6）を満たさない、つまり、メモリ機能体内の絶縁体と拡散領域とがオーバーラップしていない場合でも、書き込み動作を行なうことができる。

#### 【0078】

本発明の半導体記憶装置においては、メモリ素子は、その一方又は両方に、トランジスタが直列に接続していてもよいし、ロジックトランジスタと、同一のチップ上に混載されていてもよい。このような場合には、本発明の半導体装置、特にメモリ素子を、トランジスタ及びロジックトランジスタなどの通常の標準トランジスタの形成プロセスと非常に親和性が高い工程で形成することができるため、同時に形成することができる。したがって、メモリ素子とトランジスタ又はロジックトランジスタとを混載するプロセスは非常に簡便なものとなり、安価な混載装置を得ることができる。

#### 【0079】

本発明の半導体記憶装置は、メモリ素子が、1つのメモリ機能体に2値又はそれ以上の情報を記憶させることができ、これにより、4値又はそれ以上の情報を記憶するメモリ素子として機能させることができる。なお、メモリ素子は、2値の情報を記憶させるのみでもよい。また、メモリ素子を、メモリ機能体による可変抵抗効果により、選択トランジスタとメモリトランジスタとの機能を兼ね備えたメモリセルとしても機能させることができる。

#### 【0080】

本発明の半導体記憶装置は、論理素子又は論理回路等と組み合わせることにより、パソコン用コンピュータ、ノート、ラップトップ、パソコン・アシスタント／発信機、ミニコンピュータ、ワークステーション、メインフレーム、マルチプロセッサー・コンピュータ又は他のすべての型のコンピュータシステム等のデータ処理システム；C P U、メモリ、データ記憶装置等のデータ処理システムを構成する電子部品；電話、P H S、モ뎀、ルータ等の通信機器；ディスプレイ

パネル、プロジェクタ等の画像表示機器；プリンタ、スキャナ、複写機等の事務機器；ビデオカメラ、デジタルカメラ等の撮像機器；ゲーム機、音楽プレーヤ等の娛樂機器；携帯情報端末、時計、電子辞書等の情報機器；カーナビゲーションシステム、カーオーディオ等の車載機器；動画、静止画、音楽等の情報を記録、再生するためのA V機器；洗濯機、電子レンジ、冷蔵庫、炊飯器、食器洗い機、掃除機、エアコン等の電化製品；マッサージ器、体重計、血圧計等の健康管理機器；ICカード、メモリカード等の携帯型記憶装置等の電子機器への幅広い応用が可能である。特に、携帯電話、携帯情報端末、ICカード、メモリカード、携帯型コンピュータ、携帯型ゲーム機、デジタルカメラ、ポータブル動画プレーヤ、ポータブル音楽プレーヤ、電子辞書、時計等の携帯電子機器への応用が有効である。なお、本発明の半導体記憶装置は、電子機器の制御回路又はデータ記憶回路の少なくとも一部として内蔵されるか、あるいは必要に応じて着脱可能に組み込んでもよい。

### 【0081】

以下に、本発明の半導体記憶装置又は携帯電子機器の実施の形態を、図面に基づいて詳細に説明する。

### 【0082】

#### (実施の形態1)

この実施の形態の半導体記憶装置は、図1に示すような、不揮発性メモリ素子の一例としてのメモリ素子1001を備える。

### 【0083】

メモリ素子1001は、半導体基板1101表面に形成されたP型ウェル領域1102上にゲート絶縁膜1103を介してゲート電極1104が形成されている。ゲート電極1104の上面及び側面には、電荷を保持するトラップ準位を有し、電荷保持膜となるシリコン窒化膜1109が配置されており、シリコン窒化膜1109のなかでゲート電極1104の両側壁部分が、それぞれ実際に電荷を保持するメモリ機能体1105a、1105bとなっている。ここで、メモリ機能体とは、メモリ機能体又は電荷保持膜のうちで書換え動作により実際に電荷が蓄積される部分を指す。ゲート電極1104の両側であってP型ウェル領域11

02内に、それぞれソース領域又はドレイン領域として機能するN型の拡散領域1107a、1107bが形成されている。拡散領域1107a、1107bは、オフセット構造を有している。すなわち、拡散領域1107a、1107bはゲート電極下の領域1121には達しておらず、電荷保持膜下のオフセット領域1120がチャネル領域の一部を構成している。

#### 【0084】

なお、実質的に電荷を保持するメモリ機能体1105a、1105bは、ゲート電極1104の両側壁部分である。したがって、この部分に対応する領域にのみに、シリコン窒化膜1109が形成されていればよい（図2（a）参照）。また、メモリ機能体1105a、1105bは、ナノメートルサイズの導電体又は半導体からなる微粒子1112が絶縁膜1111中に散点状に分布する構造を有していてもよい（図2（b）参照）。このとき、微粒子1112が1nm未満であると、量子効果が大きすぎるためにドットに電荷がトンネルするのが困難になり、10nmを超えると室温では顕著な量子効果が現れなくなる。したがって、微粒子1112の直径は1nm～10nmの範囲にあることが好ましい。さらに、電荷保持膜となるシリコン窒化膜1109は、ゲート電極の側面においてサイドウォールスペーサ状に形成されていてもよい（図3参照）。

#### 【0085】

メモリ素子の書き込み動作原理を、図3及び図4を用いて説明する。なお、ここではメモリ機能体1131a、1131b全体が電荷を保持する機能を有する場合について説明する。また、書き込みとは、メモリ素子がNチャネル型である場合にはメモリ機能体1131a、1131bに電子を注入することを指す。以後、メモリ素子はNチャネル型であるとして説明する。

#### 【0086】

第2のメモリ機能体1131bに電子を注入する（書込む）ためには、図3に示すように、N型の第1の拡散領域1107aをソース電極に、N型の第2の拡散領域1107bをドレイン電極とする。例えば、第1の拡散領域1107a及びP型ウェル領域1102に0V、第2の拡散領域1107bに+5V、ゲート電極1104に+5Vを印加する。このような電圧条件によれば、反転層122

6が、第1の拡散領域1107a（ソース電極）から伸びるが、第2の拡散領域1107b（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散領域1107b（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが第2のメモリ機能体1131bに注入されることにより書き込みが行なわれる。なお、第1のメモリ機能体1131a近傍では、ホットエレクトロンが発生しないため、書き込みは行なわれない。

#### 【0087】

一方、第1のメモリ機能体1131aに電子を注入する（書き込む）ためには、図4に示すように、第2の拡散領域1107bをソース電極に、第1の拡散領域1107aをドレイン電極とする。例えば、第2の拡散領域1107b及びP型ウェル領域1102に0V、第1の拡散領域1107aに+5V、ゲート電極1104に+5Vを印加する。このように、第2のメモリ機能体1131bに電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第1のメモリ機能体1131aに電子を注入して、書き込みを行なうことができる。

#### 【0088】

次に、メモリ素子の消去動作原理を図5及び図6を用いて説明する。

#### 【0089】

第1のメモリ機能体1131aに記憶された情報を消去する第1の方法では、図5に示すように、第1の拡散領域1107aに正電圧（例えば、+5V）、P型ウェル領域1102に0Vを印加して、第1の拡散領域1107aとP型ウェル領域1102とのPN接合に逆方向バイアスをかけ、さらにゲート電極1104に負電圧（例えば、-5V）を印加する。このとき、PN接合のうちゲート電極1104付近では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルによりPN接合のP型ウェル領域1102側にホットホール（高エネルギーの正孔）が発生する。このホットホールが負の電位をもつゲート電極1104方向に引きこまれ、その結果、第1のメモリ機能体1131aにホール注入が行なわれる。このようにして、第1のメモリ機能体1131aの消去が行なわれる。このとき第2の拡散領域11

07b には 0V を印加すればよい。

### 【0090】

第2のメモリ機能体 1131b に記憶された情報を消去する場合は、上記において第1の拡散領域と第2の拡散領域との電位を入れ替えればよい。

### 【0091】

第1のメモリ機能体 1131a に記憶された情報を消去する第2の方法では、図6に示すように、第1の拡散領域 1107a に正電圧（例えば、+4V）、第2の拡散領域 1107b に 0V、ゲート電極 1104 に負電圧（例えば、-4V）、P型ウェル領域 1102 に正電圧（例えば、+0.8V）を印加する。この際、P型ウェル領域 1102 と第2の拡散領域 1107b との間に順方向電圧が印加され、P型ウェル領域 1102 に電子が注入される。注入された電子は、P型ウェル領域 1102 と第1の拡散領域 1107a との PN接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN接合において、電子-ホール対を発生させる。すなわち、P型ウェル領域 1102 と第2の拡散領域 1107b との間に順方向電圧を印加することにより、P型ウェル領域 1102 に注入された電子がトリガーとなって、反対側に位置するPN接合でホットホールが発生する。PN接合で発生したホットホールは負の電位をもつゲート電極 1104 方向に引きこまれ、その結果、第1のメモリ機能体 1131a に正孔注入が行なわれる。

### 【0092】

この方法によれば、P型ウェル領域と第1の拡散領域 1107a との PN接合において、バンド間トンネルによりホットホールが発生するに足りない電圧しか印加されない場合においても、第2の拡散領域 1107b から注入された電子は、PN接合で電子-正孔対が発生するトリガーとなり、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。特に、オフセット領域 1120（図1参照）が存在する場合は、負の電位が印加されたゲート電極により PN接合が急峻となる効果が少ない。そのため、バンド間トンネルによるホットホールの発生が難しいが、第2の方法はその欠点を補い、低電圧で消去動作を実現することができる。

## 【0093】

なお、第1のメモリ機能体1131aに記憶された情報を消去する場合、第1の消去方法では、第1の拡散領域1107aに+5Vを印加しなければならなかつたが、第2の消去方法では、+4Vで足りた。このように、第2の方法によれば、消去時の電圧を低減することができるので、消費電力が低減され、ホットキャリアによるメモリ素子の劣化を抑制することができる。

## 【0094】

また、いずれの消去方法によつても、メモリ素子は過消去が起きにくく。ここで過消去とは、メモリ機能体に蓄積された正孔の量が増大するにつれ、飽和することなく閾値が低下していく現象である。フラッシュメモリを代表とするEEPROMでは大きな問題となつており、特に閾値が負になつた場合にメモリセルの選択が不可能になるという致命的な動作不良を生じる。一方、本発明の半導体記憶装置におけるメモリ素子では、メモリ機能体に大量の正孔が蓄積された場合においても、メモリ機能体下に電子が誘起されるのみで、ゲート絶縁膜下のチャネル領域のポテンシャルにはほとんど影響を与えない。消去時の閾値はゲート絶縁膜下のポテンシャルにより決まるので、過消去が起きにくくなる。

## 【0095】

さらに、メモリ素子の読み出し動作原理を、図7を用いて説明する。

## 【0096】

第1のメモリ機能体1131aに記憶された情報を読み出す場合、第1の拡散領域1107aをソース電極に、第2の拡散領域1107bをドレイン電極とし、トランジスタを動作させる。例えば、第1の拡散領域1107a及びP型ウェル領域1102に0V、第2の拡散領域1107bに+1.8V、ゲート電極1104に+2Vを印加する。この際、第1のメモリ機能体1131aに電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1のメモリ機能体1131aに電子が蓄積している場合は、第1のメモリ機能体1131a近傍で反転層が形成されにくないので、ドレイン電流は流れにくく。したがつて、ドレイン電流を検出することにより、第1のメモリ機能体1131aの記憶情報を読み出すことができる。特に、ピンチオフ動作させるような電圧を与えて読み出す場

合、1131bにおける電荷蓄積の有無に影響されることなく、第1のメモリ機能体1131aにおける電荷蓄積の状態について、より高精度に判定することができる。

### 【0097】

第2のメモリ機能体1131bに記憶された情報を読み出す場合、第2の拡散領域1107bをソース電極に、第1の拡散領域1107aをドレイン電極とし、トランジスタを動作させる。図示しないが、例えば、第2の拡散領域1107b及びP型ウェル領域1102に0V、第1の拡散領域1107aに+1.8V、ゲート電極1104に+2Vを印加すればよい。このように、第1のメモリ機能体1131aに記憶された情報を読み出す場合とは、ソース／ドレイン領域を入れ替えることにより、第2のメモリ機能体1131bに記憶された情報の読み出しを行なうことができる。

### 【0098】

なお、ゲート電極1104で覆われないチャネル領域（オフセット領域1120）が残されている場合、ゲート電極1104で覆われないチャネル領域においては、メモリ機能体1131a、1131bの余剰電荷の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域1120の幅があまり大きいと、ドレイン電流が大きく減少し、読み出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読み出し速度が得られるように、オフセット領域1120の幅を決定することが好ましい。

### 【0099】

拡散領域1107a、1107bがゲート電極1104端に達している場合、つまり、拡散領域1107a、1107bとゲート電極1104とがオーバーラップしている場合であっても、書き込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース／ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）する。したがって、ドレイン電流の検出により読みしが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散領域1107a、1107b

とゲート電極1104とがオーバーラップしていない（オフセット領域1120が存在する）ほうが好ましい。

#### 【0100】

以上の動作方法により、1トランジスタ当たり選択的に2ビットの書き込み及び消去が可能となる。また、メモリ素子のゲート電極1104にワード線WLを、第1の拡散領域1107aに第1のビット線BL1を、第2の拡散領域1107bに第2のビット線BL2をそれぞれ接続し、メモリ素子を配列することにより、メモリセルアレイを構成することができる。

#### 【0101】

また、上述した動作方法では、ソース電極とドレイン電極を入れ替えることによって1トランジスタ当たり2ビットの書き込み及び消去をさせているが、ソース電極とドレイン電極とを固定して1ビットメモリとして動作させてもよい。この場合ソース／ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース／ドレイン領域に接続されるビット線の本数を半減することができる。

#### 【0102】

以上の説明から明らかなように、本発明の半導体記憶装置におけるメモリ素子では、メモリ機能体がゲート絶縁膜と独立して形成され、ゲート電極の両側に形成されているため、2ビット動作が可能である。また、各メモリ機能体はゲート電極により分離されているので、書換え時の干渉が効果的に抑制される。さらに、ゲート絶縁膜は、メモリ機能体とは分離されているので、薄膜化して短チャネル効果を抑制することができる。したがってメモリ素子、ひいては半導体記憶装置の微細化が容易となる。

#### 【0103】

また、図面の記載において、同一の材料及び物質を用いている部分においては、同一の符号を付しております、必ずしも同一の形状を示すものではない。

#### 【0104】

また、図面は模式的なものであり、厚みと平面寸法の関係、各層や各部の厚みや大きさの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや大きさの寸法は、以下の説明を斟酌して判断すべきものである

。また図面相互間においても、互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

### 【0105】

また、本特許に記載の各層や各部の厚みや大きさは、特に説明がない場合は、半導体装置の形成を完了した段階での最終形状の寸法である。よって、膜や不純物領域等を形成した直後の寸法と比較して最終形状の寸法は、後の工程の熱履歴等によって多少変化することに留意すべきである。

### 【0106】

#### (実施の形態2)

この実施の形態の半導体記憶装置におけるメモリ素子は、図8に示すように、メモリ機能体1261、1262が電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であってもよい）と、電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であってもよい）とから構成される以外は、図1のメモリ素子1001と実質的に同様の構成である。

### 【0107】

メモリ機能体は、メモリの保持特性を向上させる観点から、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン珪化膜1242、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜1241、1243を用いている。メモリ機能体が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。また、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができ、電荷保持膜内での電荷の移動を制限して、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。さらに、シリコン珪化膜1242がシリコン酸化膜1241、1243で挟まれた構造とすることにより、書換え動作時の電荷注入効率が高くなり、より高速な動作が可能となる。なお、このメモリ素子においては、シリコン珪化膜1242を強誘電体で置き換えてよい。

### 【0108】

また、メモリ機能体1261、1262における電荷を保持する領域（シリコン塗化膜1242）は、拡散領域1212、1213とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散領域1212、1213の少なくとも一部の領域上に、電荷を保持する領域（シリコン塗化膜1242）の少なくとも一部が存在することを意味する。なお、1211は半導体基板、1214はゲート絶縁膜、1271はゲート電極1217と拡散領域1212、1213とのオフセット領域である。図示しないが、ゲート絶縁膜1214下であって半導体基板1211の最表面はチャネル領域となる。

#### 【0109】

メモリ機能体1261、1262における電荷を保持する領域であるシリコン塗化膜1242と拡散領域1212、1213とがオーバーラップすることによる効果を説明する。

#### 【0110】

図9に示したように、メモリ機能体1262周辺部において、ゲート電極1217と拡散領域1213とのオフセット量をW1とし、ゲート電極1217のチャネル長方向の切断面におけるメモリ機能体1262の幅をW2とすると、メモリ機能体1262と拡散領域1213とのオーバーラップ量は、W2-W1で表される。ここで重要なことは、メモリ機能体1262のうちシリコン塗化膜1242で構成されたメモリ機能体1262が、拡散領域1213とオーバーラップする、つまり、W2>W1なる関係を満たすことである。

#### 【0111】

図9では、メモリ機能体1262のうち、シリコン塗化膜1242のゲート電極1217と離れた側の端が、ゲート電極1217から離れた側のメモリ機能体1262の端と一致しているため、メモリ機能体1262の幅をW2として定義した。

#### 【0112】

なお、図10に示すように、メモリ機能体1262aのうちシリコン塗化膜1242aのゲート電極1217aと離れた側の端が、ゲート電極1217aから離れた側のメモリ機能体1262aの端と一致していない場合は、W2をゲート

電極端からシリコン窒化膜1242aのゲート電極1217aと遠い側の端までと定義すればよい。

### 【0113】

図11は、図9のメモリ素子の構造において、メモリ機能体1262の幅W2を100nmに固定し、オフセット量W1を変化させたときのドレイン電流Idを示している。ここで、ドレイン電流は、メモリ機能体1262を消去状態（ホールが蓄積されている）とし、拡散領域1212、1213をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。図11から明らかのように、W1が100nm以上（すなわち、シリコン窒化膜1242と拡散領域1213とがオーバーラップしない）では、ドレイン電流が急速に減少している。ドレイン電流値は、読み出し動作速度にほぼ比例するので、W1が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜1242と拡散領域1213とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、量産製造においてばらつきも考慮した場合、電荷を保持する機能を有する膜であるシリコン窒化膜1242の少なくとも一部とソース／ドレイン領域とがオーバーラップしなければ、事実上メモリ機能を得ることが困難である。

### 【0114】

上述したデバイスシミュレーションの結果を踏まえて、W2を100nm固定とし、W1を設計値として60nm及び100nmとして、メモリセルアレイを作製した。W1が60nmの場合、シリコン窒化膜142と拡散領域1212、1213とは設計値として40nmオーバーラップし、W1が100nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読み出し時間を測定した結果、ばらつきを考慮したワーストケースで比較して、W1を設計値として60nmとした場合の方が、読み出しみアセス時間で100倍高速であった。実用上、読み出しみアセス時間は1ビットあたり100ナノ秒以下であることが好ましいが、W1=W2では、この条件を到底達成できない。また、製造ばらつきまで考慮した場合、 $(W2 - W1) > 10\text{ nm}$ であることがより好ましい。

### 【0115】

メモリ機能体1261（領域1281）に記憶された情報の読み出しは、実施の形態1と同様に、拡散領域1212をソース電極とし、拡散領域1213をドレイン領域としてチャネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つのメモリ機能体のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャネル領域内であって、他方のメモリ機能体に近い領域に形成させるのが好ましい。これにより、メモリ機能体1262の記憶状況の如何にかかわらず、メモリ機能体1261の記憶情報を感度よく検出することができ、2ビット動作を可能にする大きな要因となる。

#### 【0116】

一方、2つのメモリ機能体の片側のみに情報を記憶させる場合又は2つのメモリ機能体を同じ記憶状態にして使用する場合には、読み出し時に必ずしもピンチオフ点を形成しなくてもよい。

#### 【0117】

なお、図8には図示していないが、半導体基板1211の表面にウェル領域（Nチャネル素子の場合はP型ウェル）を形成するのが好ましい。ウェル領域を形成することにより、チャネル領域の不純物濃度をメモリ動作（書換え動作及び読み出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャネル効果）を制御するのが容易になる。

#### 【0118】

また、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むことが好ましい。いいかえると、メモリ機能体における電荷保持膜の上面が、ゲート絶縁膜上面から等しい距離に位置するように配置されることが好ましい。具体的には、図12に示したように、メモリ機能体1262の電荷保持膜であるシリコン窒化膜1242aが、ゲート絶縁膜1214表面と略平行な面を有している。言い換えると、シリコン窒化膜1242aは、ゲート絶縁膜1214表面に対応する高さから、均一な高さに形成されることが好ましい。

#### 【0119】

メモリ機能体1262中に、ゲート絶縁膜1214表面と略平行なシリコン窒化膜1242aがあることにより、シリコン窒化膜1242aに蓄積された電荷

の多寡によりオフセット領域1271での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大きくすることができる。また、シリコン窒化膜1242aをゲート絶縁膜1214の表面と略平行とすることにより、オフセット量（W1）がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、シリコン窒化膜1242a上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

#### 【0120】

さらに、メモリ機能体1262は、ゲート絶縁膜1214の表面と略平行なシリコン窒化膜1242aとチャネル領域（又はウェル領域）とを隔てる絶縁膜（例えば、シリコン酸化膜1244のうちオフセット領域1271上の部分）を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良いメモリ素子を得ることができる。

#### 【0121】

なお、シリコン窒化膜1242aの膜厚を制御すると共に、シリコン窒化膜1242a下の絶縁膜（シリコン酸化膜1244のうちオフセット領域1271上の部分）の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を、シリコン窒化膜1242a下の絶縁膜の最小膜厚値から、シリコン窒化膜1242a下の絶縁膜的最大膜厚値とシリコン窒化膜1242aの最大膜厚値との和までの間に制御することができる。これにより、シリコン窒化膜1242aに蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、メモリ素子のメモリ効果の大きさばらつきを非常に小さくすることが可能となる。

#### 【0122】

##### （実施の形態3）

この実施の形態の半導体記憶装置におけるメモリ機能体1262は、電荷保持膜であるシリコン窒化膜1242が、図13に示すように、略均一な膜厚で、ゲート絶縁膜1214の表面と略平行に配置され（領域1281）、さらに、ゲ

ト電極1217側面と略平行に配置された（領域1282）形状を有している。

#### 【0123】

ゲート電極1217に正電圧が印加された場合には、メモリ機能体1262中の電気力線は矢印1283で示すように、シリコン窒化膜1242を2回（領域1282及び領域1281部分）通過する。なお、ゲート電極1217に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜1242の比誘電率は約6であり、シリコン酸化膜1241、1243の比誘電率は約4である。したがって、電荷保持膜の領域1281のみが存在する場合よりも、電気力線1283方向におけるメモリ機能体1262の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極1217に印加された電圧の多くの部分が、オフセット領域1271における電界を強くするために使われることになる。

#### 【0124】

書換え動作時に電荷がシリコン窒化膜1242に注入されるのは、発生した電荷がオフセット領域1271における電界により引き込まれるためである。したがって、シリコン窒化膜1242が領域1282を含むことにより、書換え動作時にメモリ機能体1262に注入される電荷が増加し、書換え速度が増大する。

#### 【0125】

なお、シリコン酸化膜1243の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜1214の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

#### 【0126】

電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

#### 【0127】

さらに、メモリ機能体は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（またはウェル領域）とを隔てる絶縁膜（シリコン酸化膜1241のうちオフセット領域1271上の部分）をさらに含むことが好ましい。この絶縁膜によ

り、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

### 【0128】

また、メモリ機能体は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜1241のうちゲート電極1217に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、メモリ素子の信頼性を向上させることができる。

### 【0129】

さらに、実施の形態2と同様に、シリコン窒化膜1242下の絶縁膜（シリコン酸化膜1241のうちオフセット領域1271上の部分）の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜（シリコン酸化膜1241のうちゲート電極1217に接した部分）の膜厚を一定に制御することが好ましい。これにより、シリコン窒化膜1242に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

### 【0130】

#### （実施の形態4）

この実施の形態では、半導体記憶装置におけるメモリ素子のゲート電極、メモリ機能体及びソース／ドレイン領域間距離の最適化について説明する。

### 【0131】

図14に示したように、Aはチャネル長方向の切断面におけるゲート電極長、Bはソース／ドレイン領域間の距離（チャネル長）、Cは一方のメモリ機能体の端から他方のメモリ機能体の端までの距離、つまり、チャネル長方向の切断面における一方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）から他方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）までの距離を示す。

### 【0132】

このようなメモリ素子では、B<Cであることが好ましい。このような関係を

満たすことにより、チャネル領域のうちゲート電極1217下の部分と拡散領域1212、1213との間にはオフセット領域1271が存在することとなる。これにより、メモリ機能体1261、1262（シリコン窒化膜1242）に蓄積された電荷により、オフセット領域1271の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読出し動作の高速化が実現する。

### 【0133】

また、ゲート電極1217と拡散領域1212、1213がオフセットしている場合、つまり、 $A < B$ が成立する場合には、ゲート電極に電圧を印加したときのオフセット領域の反転のしやすさがメモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。

### 【0134】

ただし、メモリ効果が発現する限りにおいては、必ずしもオフセット領域1271が存在しなくてもよい。オフセット領域1271が存在しない場合においても、拡散領域1212、1213の不純物濃度が十分に薄ければ、メモリ機能体1261、1262（シリコン窒化膜1242）においてメモリ効果が発現し得る。

### 【0135】

このようなことから、 $A < B < C$ であるのが最も好ましい。

### 【0136】

（実施の形態5）

この実施の形態における半導体記憶装置のメモリ素子は、図15に示すように、実施の形態2における半導体基板をSOI基板とする以外は、実質的に同様の構成を有する。

### 【0137】

このメモリ素子は、半導体基板1286上に埋め込み酸化膜1288が形成され、さらにその上にSOI層が形成されている。SOI層内には拡散領域1212、1213が形成され、それ以外の領域はボディ領域1287となっている。

## 【0138】

このメモリ素子によっても、実施の形態2のメモリ素子と同様の作用効果を奏する。さらに、拡散領域1212、1213とボディ領域1287との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

## 【0139】

(実施の形態6)

この実施の形態の半導体記憶装置におけるメモリ素子は、図16に示すように、N型の拡散領域1212、1213のチャネル側に隣接して、P型高濃度領域1291を追加した以外は、実施の形態2のメモリ素子と実質的に同様の構成を有する。

## 【0140】

すなわち、P型高濃度領域1291におけるP型を与える不純物（例えばボロン）濃度が、領域1292におけるP型を与える不純物濃度より高い。P型高濃度領域1291におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19}$  cm<sup>-3</sup>程度が適当である。また、領域1292のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18}$  cm<sup>-3</sup>とすることができる。

## 【0141】

このように、P型高濃度領域1291を設けることにより、拡散領域1212、1213と半導体基板1211との接合が、メモリ機能体1261、1262の直下で急峻となる。そのため、書き込み及び消去動作時にホットキャリアが発生し易くなり、書き込み動作及び消去動作の電圧を低下させ、あるいは書き込み動作及び消去動作を高速にすることが可能となる。さらに、領域1292の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読み出し速度が向上する。したがって、書き換え電圧が低く又は書き換え速度が高速で、かつ、読み出し速度が高速なメモリ素子を得ることができる。

## 【0142】

また、図16において、ソース／ドレイン領域近傍であってメモリ機能体の下

(すなわち、ゲート電極の直下ではない)において、P型高濃度領域1291を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域1291がゲート電極の直下にある場合に比べて著しく大きい。メモリ機能体に書き込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がいっそう大きくなる。一方、メモリ機能体に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極下のチャネル領域（領域1292）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域1291の不純物濃度には依存せず、一方で、書き込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域1291をメモリ機能体の下であってソース／ドレイン領域近傍に配置することにより、書き込み時の閾値のみが非常に大きく変動し、メモリ効果（書き込み時と消去時での閾値の差）を著しく増大させることができる。

#### 【0143】

##### (実施の形態7)

この実施の形態の半導体記憶装置におけるメモリ素子は、図17に示すように、電荷保持膜（シリコン窒化膜1242）とチャネル領域又はウェル領域1211とを隔てる絶縁膜1241の厚さ（T1）が、ゲート絶縁膜1214の厚さ（T2）よりも薄いこと以外は、実施の形態2と実質的に同様の構成を有する。

#### 【0144】

上記ゲート絶縁膜1214は、メモリの書き換え動作時における耐圧の要請から、その厚さT2には下限値が存在する。しかし、上記絶縁膜1241の厚さT1は、耐圧の要請にかかわらず、T2よりも薄くすることが可能である。

#### 【0145】

このメモリ素子において、上述のようにT1に対する設計の自由度が高いのは以下の理由による。

#### 【0146】

つまり、このメモリ素子においては、上記電荷保持膜1242と、チャネル領域又はウェル領域1211とを隔てる絶縁膜1241は、ゲート電極1217と

、チャネル領域又はウェル領域1211とに挟まれていない。そのため、上記電荷保持膜1242と、チャネル領域又はウェル領域1211とを隔てる上記絶縁膜1241には、ゲート電極1217と、チャネル領域又はウェル領域1211間に働く高電界が直接作用せず、ゲート電極1217から横方向に広がる比較的弱い電界が作用する。そのため、上記絶縁膜1241に対する耐圧の要請にかかわらず、T1をT2より薄くすることが可能になる。T1を薄くすることにより、メモリ機能体1261、1262への電荷の注入が容易になり、書き込み動作及び消去動作の電圧を低下させ、又は書き込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜1242に電荷が蓄積された時にチャネル領域又はウェル領域1211に誘起される電荷量が増えるため、メモリ効果を増大させることができる。

#### 【0147】

ところで、メモリ機能体中の電気力線は、図13の矢印1284で示すように、シリコン窒化膜1242を通過しない短いものもある。このような短い電気力線上では比較的電界強度が大きいので、この電気力線に沿った電界は書き換え動作時においては大きな役割を果たしている。T1を薄くすることによりシリコン窒化膜1242が図の下側に移動し、矢印1283で示す電気力線がシリコン窒化膜を通過するようになる。それゆえ、矢印1284方向の電気力線に沿ったメモリ機能体中の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。したがって、ゲート電極1217に印加された電圧の多くの部分が、オフセット領域における電界を強くするために使われ、書き込み動作及び消去動作が高速になる。

#### 【0148】

これに対して、例えば、フラッシュメモリに代表されるEEPROMにおいては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極（コントロールゲート）とチャネル領域又はウェル領域に挟まれているので、ゲート電極からの高電界が直接作用する。それゆえ、EEPROMにおいては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さが制限され、メモリ素子の機能の最適化が阻害される。

## 【0149】

以上より明らかなように、 $T_1 < T_2$  とすることにより、メモリの耐圧性能を低下させることなく、書き込み動作及び消去動作の電圧を低下させ、又は書き込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。なお、絶縁膜の厚さ  $T_1$  は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であり、かつ保持特性が極端に劣化しない限界となる  $0.8\text{ nm}$  以上であることがより好ましい。

## 【0150】

具体的には、デザインルールの大きな高耐圧が必要とされる液晶ドライバLSIのような場合、液晶パネル TFT を駆動するために、最大  $15\sim18\text{ V}$  の電圧が必要となる。このため、通常、ゲート酸化膜を薄膜化することができない。液晶ドライバLSIに画像調整用として本発明の不揮発性メモリを混載する場合、本発明のメモリ素子ではゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜1242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅） $250\text{ nm}$  のメモリセルに対して、 $T_1 = 20\text{ nm}$ 、 $T_2 = 10\text{ nm}$  で個別に設定でき、書き込み効率の良いメモリセルを実現できる。（ $T_1$  が通常のロジックトランジスタよりも厚くても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領域がオフセットしているためである）。

## 【0151】

## (実施の形態8)

この実施の形態の半導体記憶装置におけるメモリ素子は、図18に示すように、電荷保持膜（シリコン窒化膜1242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ $T_1$ ）が、ゲート絶縁膜の厚さ（ $T_2$ ）よりも厚いこと以外は、実施の形態2と実質的に同様の構成を有する。

## 【0152】

ゲート絶縁膜1214は、素子の短チャネル効果防止の要請から、その厚さ  $T_2$  には上限値が存在する。しかし、絶縁膜の厚さ  $T_1$  は、短チャネル効果防止の要請かわらず、 $T_2$  よりも厚くすることが可能である。すなわち、微細化スケ

ーリングが進んだとき（ゲート絶縁膜の薄膜化が進行したとき）にゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜1242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できるため、メモリ機能体がスケーリングの障害にならないという効果を奏する。

#### 【0153】

このメモリ素子において、上述のようにT1に対する設計の自由度が高い理由は、既に述べた通り、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜が、ゲート電極とチャネル領域又はウェル領域とに挟まれていないことによる。そのため、ゲート絶縁膜に対する短チャネル効果防止の要請にかかわらず、T1をT2より厚くすることが可能になる。

#### 【0154】

T1を厚くすることにより、メモリ機能体に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。

#### 【0155】

したがって、T1>T2とすることにより、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

#### 【0156】

なお、絶縁膜の厚さT1は、書換え速度の低下を考慮して、20nm以下であることが好ましい。

#### 【0157】

具体的には、フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲート電極が書き込み消去ゲート電極を構成し、上記書き込み消去ゲート電極に対応するゲート絶縁膜（フローティングゲートを内包する）が電荷蓄積膜を兼用している。このため、微細化（短チャネル効果抑制のため薄膜化が必須）の要求と、信頼性確保（保持電荷のリーク抑制のため、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さは7nm程度以下には薄膜化できない）の要求が相反するため、微細化が困難となる。実際、ITRS（International Technology Roadmap for Semiconductors）によれば、物理ゲート長の微細化は0.2ミクロン程度以下に対して目処が立っていない。このメモリ素子では、上

述したようにT1とT2を個別に設計できることにより、微細化が可能となる。

#### 【0158】

例えば、ゲート電極長（ワード線幅）45nmのメモリセルに対して、T2=4nm、T1=7nmで個別に設定し、短チャネル効果の発生しないメモリ素子を実現することができる。T2を通常のロジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由は、ゲート電極に対して、ソース／ドレイン領域がオフセットしているためである。

#### 【0159】

また、このメモリ素子は、ゲート電極に対して、ソース／ドレイン領域がオフセットしているため、通常のロジックトランジスタと比較してもさらに微細化を容易にする。

#### 【0160】

つまり、メモリ機能体の上部に書込、消去を補助する電極が存在しないため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、書込、消去を補助する電極とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極から横方向に広がる比較的弱い電界が作用するのみである。そのため、同じ加工世代に対してロジックトランジスタのゲート長と同程度以上に微細化されたゲート長を保有するメモリ素子を実現することができる。

#### 【0161】

##### （実施の形態9）

この実施の形態は、半導体記憶装置のメモリ素子の書換えを行ったときの電気特性の変化に関する。

#### 【0162】

Nチャネル型メモリ素子において、メモリ機能体中の電荷量が変化したとき、図19に示すような、ドレイン電流（Id）対ゲート電圧（Vg）特性（実測値）を示す。

#### 【0163】

図19から明らかなように、消去状態（実線）から書き込み動作を行った場合、単純に閾値が上昇するのみならず、特にサブスレッショルド領域においてグラフ

の傾きが顕著に減少している。そのため、ゲート電圧 ( $V_g$ ) が比較的高い領域においても、消去状態と書き込み状態でのドレイン電流比が大きくなる。例えば、 $V_g = 2.5$  Vにおいても、電流比は2桁以上を保っている。この特性は、フラッシュメモリの場合（図27）と大きく異なる。

#### 【0164】

このような特性の出現は、ゲート電極と拡散領域とがオフセットし、ゲート電界がオフセット領域に及びにくいために起こる特有な現象である。メモリ素子が書き込み状態にあるときには、ゲート電極に正電圧を加えてもメモリ機能体下のオフセット領域には反転層が極めてできにくい状態になっている。これが、書き込み状態においてサブスレッシュルド領域での  $I_d - V_g$  曲線の傾きが小さくなる原因となっている。

#### 【0165】

一方、メモリ素子が消去状態にあるときには、オフセット領域には高密度の電子が誘起されている。さらに、ゲート電極に 0 V が印加されているとき（すなわちオフ状態にあるとき）は、ゲート電極下のチャネルには電子が誘起されない（そのためオフ電流が小さい）。これが、消去状態においてサブスレッシュルド領域での  $I_d - V_g$  曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率（コンダクタンス）が大きい原因となっている。

#### 【0166】

以上のことから明らかなように、本発明の半導体記憶素子を構成するメモリ素子は、書き込み時と消去時のドレイン電流比を特に大きくすることができる。

#### 【0167】

##### （実施の形態10）

この実施の形態では、上記実施の形態1～8のメモリ素子をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置について説明する。

#### 【0168】

図20に、上記半導体記憶装置が含むチャージポンプ装置の一例としての可変ステージチャージポンプ100のブロック図を示す。

#### 【0169】

上記可変ステージチャージポンプ100は、ノード162を有する段と、ノード164を有する段とを備えている。これらの段は、入力線の一例としての共通入力バス160と、出力線の一例としての共通出力バス170との間に設けている。この共通出力バス170は共通出力ノード150を含んでいる。また、上記ノード162を有する段は第1のチャージポンプ110を含み、ノード164を有する段は第2のチャージポンプ120を含む。なお、上記共通入力バス160には電源電圧Vppが印加される。また、上記共通出力バス170からの出力が上記メモリセルアレイに供給される。

### 【0170】

上記第1のチャージポンプ110は、ポンプポンプステージ112と、このポンプステージ112に直列に接続されたポンプポンプステージ114とを有している。上記第1のチャージポンプ110の入力端子（ポンプステージ112の入力端子）は、ノード162を介して共通入力バス160に接続されている。また、上記第1のチャージポンプ回路110の出力端子（ポンプステージ114の出力端子）は、ノード144を介して直列接続用スイッチの一例としての第1のスイッチ130に接続されると共に、ノード144を介して第1の出力側スイッチの一例としてのnチャネルMOSFET（金属酸化膜半導体電界効果トランジスタ）140に接続されている。また、上記MOSFET140は共通出力ノード150にも接続されている。

### 【0171】

上記第2のチャージポンプ120は、ステージ122と、このステージ122に直列接続されたステージ124とを有している。上記第2のチャージポンプ120の入力端子（ステージ122の入力端子）は、第1のスイッチ130に接続されると共に、入力側スイッチの一例としての第2のスイッチ131に接続されている。また、上記第2のスイッチ131の入力端子は、ノード164を介して共通入力バス160にも接続されている。また、上記第2のチャージポンプ120の出力端子（ステージ124の出力端子）は、ノード146を介して第2の出力側スイッチの一例としてのnチャネルMOSFET142に接続されている。また、上記MOSFET142は共通出力ノード150にも接続されている。

## 【0172】

上記第1のスイッチ130は、第1のチャージポンプ110の出力を第2のチャージポンプ120に入力として与えるか否かを制御する。また、上記第2のスイッチ131は、第2のチャージポンプ120の入力端子に電源電圧Vppを印加するために使用される。そして、上記第1のスイッチ130と第2のスイッチ131とは、第1のチャージポンプ110と第2のチャージポンプ120とを互いに直列接続させるか、それとも互いに並列接続されるかを制御する。

## 【0173】

ところで、上記可変ステージチャージポンプ100は、「X/Yステージポンプ」とも呼ばれる。このような場合、「X」は、共通入力バス160と共通出力ノード150との間における段の数（すなわち、チャージポンプの最大値）を指す。「Y」はチャージポンプのステージ数を指す。したがって「XかけるY」は、共通入力バス160と共通出力ノード150との間で互いに直列に接続させることができるステージの最大値を示す。このような呼び方を可変ステージチャージポンプ100に適用した場合、可変ステージチャージポンプ100は、段が2つあり、各段に2つのステージを備えたチャージポンプを有しているので、「2/2ステージポンプ」と呼ぶことができる。2/2ステージ・チャージポンプは、4つのステージを全て直列で接続するか、または、一方の2つの直列接続したステージを他方の2つの直列接続したステージに並列接続することができる。

## 【0174】

上記第1のスイッチ130の状態と第2のスイッチ131の状態との可能な組合せは4通りある（2つの状態かける2つのスイッチ）。上記第1のスイッチ130の状態と第2のスイッチ131の状態とを変えることで、第1のチャージポンプ110と第2のチャージポンプ120との接続が変化して、ステージ数が変化する。ここで、上記第1のスイッチ130または第2のスイッチ131が「オン」という表現は、第1のスイッチ130または第2のスイッチ131が電流バスを形成することを意味する。また、上記第1のスイッチ130または第2のスイッチ131が「オフ」という表現は、スイッチが開状態にあることを意味する。言い換えると、スイッチ回路は多大な電流を通さない。

## 【0175】

図22に、上記4通りの組合せを示す。

## 【0176】

図22から判るように、上記第1のスイッチ130および第2のスイッチ131の両方のスイッチをオフとする第1の構成では、第1のチャージポンプ110は共通出力ノード150へ電圧を供給する唯一のチャージポンプとなる。したがって、上記第1のチャージポンプ110は2ステージのチャージポンプであるため、可変ステージチャージポンプ100は実質上、2ステージ・チャージポンプとなる。この第1の構成は、第1、第2のチャージポンプ110、120の両方で共電圧を共通出力ノード150に供給する場合に対して、電源節約モードとして使用することができる。

## 【0177】

上記第1のスイッチ130をオフ、かつ、第2のスイッチ131をオンにする第2の構成では、第1のチャージポンプ110と第2のチャージポンプ120とが共通出力ノード150に互いに並列に接続される。したがって、上記第1のチャージポンプ110および第2のチャージポンプ120は両方とも2ステージ・チャージポンプであるため、可変ステージチャージポンプ100は実質上、2ステージと2ステージとが互いに並列に接続された4ステージ・チャージポンプとなる。この第2の構成は、可変ステージチャージポンプ100は、第1、第2のスイッチ130、131の両方をオフにした場合とほぼ同じ出力電圧を共通出力ノード150で得る。また、上記第1のチャージポンプ110と第2のチャージポンプ120とは並列接続されているため、可変ステージチャージポンプ100は、第1のチャージポンプ110だけで動作する場合のほぼ2倍の量の電流を供給することができる。

## 【0178】

上記第1のスイッチ130をオン、かつ、第2のスイッチ131をオフにする第3の構成では、第1のチャージポンプ110と第2のチャージポンプ120とが互いに直列接続される。言い換えると、上記第2のチャージポンプ120の入力電圧は、第1のチャージポンプ110の出力から与えられる。上記第1のチャ

ージポンプ110および第2のチャージポンプ120は両方とも2ステージ・チャージポンプであるため、可変ステージチャージポンプ100が実質上、4ステージのそれぞれが互いに直列に接続された4ステージ・チャージポンプになることを意味する。この構成では、可変ステージチャージポンプ100は、上記第1，第2の構成のほぼ2倍の電圧が共通出力ノード150で得られる。ただし、上記可変ステージチャージポンプ100は、第2の構成のほぼ半分の電流しか流せない。

### 【0179】

図22においては、第4の構成として「N/A」を示している。この第4の構成は使用すべきではなく、適用できないことを示す。上記第1のスイッチ130および第2のスイッチ131の両方のスイッチがオンの場合、第1のチャージポンプ110は、その出力がその入力と供給電圧とに接続されるため短絡する。このような操作は、本実施形態の可変ステージチャージポンプ100にとって有害であり、避けるべきである。

### 【0180】

図1に示すnチャネルMOSFET140およびnチャネルMOSFET142は、第1のチャージポンプ110および第2のチャージポンプ120それぞれの出力端子と共通出力ノード150との間にダイオード形式で接続されている。これにより、上記第1のチャージポンプ110と第2のチャージポンプ120とが互いに直列接続している際に、第1のチャージポンプ110と第2のチャージポンプ120とがお互いにショートしてしまうのを防ぐ。

### 【0181】

上記MOSFET140のダイオード接続をなしにすると、つまり、MOSFET140を配置しないと、第1のスイッチ130がオン、かつ、第2のスイッチ131がオフの場合、第2のチャージポンプ120はショートしてしまう。このとき、上記ノード144は、共通出力ノード150と、第2のチャージポンプ120の入力端子とに接続されている。そうすると、上記第2のチャージポンプ120の出力端子が共通出力ノード150に接続されるため、チャージポンプ120の出力はチャージポンプ120の入力へ接続されることになる。このような

構成は、上記第2のチャージポンプ120を無効にするため、普通使用されない。

### 【0182】

上記MOSFET140を配置すると、共通出力ノード150の電圧がノード144の電圧より高い場合、電流はMOSFET140を通過できない。つまり、上記MOSFET140は非導通状態となる。これは、上記第1のチャージポンプ110と第2のチャージポンプ120とが互いに直列接続されている時の状況である。また、上記第1のチャージポンプ110と第2のチャージポンプ120とが互いに直列接続されている場合、ノード146の電圧はノード144の電圧より高くなる。そして、上記ノード146の電圧が共通出力ノード150の電圧をMOSFET142の閾値電圧だけ超える場合、MOSFET142は導通して、ノード146で得られる電圧（MOSFET142の閾値電圧を差し引いた値）を共通出力ノード150へ与える。また、上記ノード144の電圧からMOSFET140の閾値電圧を差し引いた電圧が、共通出力ノード150の現在の電圧を超えない限り、MOSFET140は導通しない。

### 【0183】

以上から判るように、上記MOSFET140, 142は第1, 第2のチャージポンプ110, 120の直列接続構成を安定させることができる。

### 【0184】

上記MOSFET140, 142の閾値電圧が低いと、MOSFET140およびMOSFET142による電圧降下を低減する助けとなる。この場合、上記ポンプステージ112, 114, 122, 124によって供給される電圧のより大きな部分が共通出力ノード150に到達する。上記MOSFET140, 142の典型的な低い閾値電圧としては、通常1V未満が好ましく、0.2Vから0.9Vの範囲がより好ましい。

### 【0185】

本発明の他の実施形態によれば、可変ステージチャージポンプ100は、電源電圧V<sub>pp</sub>から0未満の電圧を供給するネガティブ・チャージポンプである。この場合、ポンプステージ112, 114, 122, 124はネガティブ・チャ

ジポンプである。また、上記他の実施形態において、可変ステージチャージポンプ100がネガティブ・チャージポンプとして正確に機能するためには、nチャネルMOSFET140, 142の代わりにpチャネルMOSFETを使用する必要がある。

本発明の直列接続用スイッチおよび入力側スイッチが本実施の形態に限定されない。

#### 【0186】

例えば、上記直列接続用スイッチの一例としてMOSFETを用いてもよいし、入力側スイッチとしてMOSFETを用いてもよい。つまり、上記第1のスイッチ130および第2のスイッチ131の代わりに、MOSFETを用いてもよい。この場合、上記第1, 第2のスイッチ130, 131の代わりに用いたMOSFETによって通過する電圧の範囲を最大にするために、共通出力ノード150からの出力電圧Voutを、そのMOSFETのゲートへの制御電圧として使用することができる。

#### 【0187】

また、本発明の第1, 第2の出力側スイッチも本実施の形態に限定されない。

#### 【0188】

例えば、上記実施の形態では、第1のチャージポンプ110と共通出力バス170とをnチャネルMOSFET140で接続していたが、第1のチャージポンプ110と共通出力バス170とを例えば開閉式スイッチで接続してもよい。

#### 【0189】

また、本実施の形態では、第2のチャージポンプ120と共通出力バス170とをnチャネルMOSFET142で接続していたが、第2のチャージポンプ120と共通出力バス170とを例えば開閉式スイッチで接続してもよい。

#### 【0190】

また、本実施の形態では、ダイオード接続したnチャネルMOSFET140, 142を用いていたが、ダイオード接続していないnチャネルMOSFET140を用いてもよい。

#### 【0191】

本発明においてチャージポンプ装置の段の数やポンプステージ数は、上記実施の形態に限定されない。つまり、上記チャージポンプ装置の段の数やポンプステージ数は2つ以上であってもよい。

### 【0192】

#### (実施の形態11)

本発明の実施の形態11の半導体記憶装置では、上記実施の形態10の可変ステージチャージポンプ100を、それぞれがyステージを有するn段のチャージポンプで構築する。ここで、上記yおよびnは正の整数とする。上記可変ステージチャージポンプ100は、上述した呼び方で呼ぶと、「 $n/y$ 」ステージのポンプである。上記第1のスイッチ130および第2のスイッチ131のサブセットを適切に選択することで、n個のチャージポンプを1組p個のチャージポンプmセットに分割できる。この場合、上記各セットは、「 $p/y$ 」可変ステージチャージポンプになる。ここで、上記セットは、直列接続または並列接続のどちらでもよいため、様々な組み合せが実現される。さらに、上記各セット内の段は直列接続または並列接続のどちらでもよい。例えば、上記可変ステージチャージポンプ100が12段を有すると仮定する。そうすると、上記可変ステージチャージポンプ100の各段は1つのチャージポンプを含む。各チャージポンプは互いに直列接続された2つのステージを含む。したがって、上記可変ステージチャージポンプ100は、上述の呼び方で呼ぶと、 $12/2$ ステージポンプである。また、上記可変ステージチャージポンプ100は、それが2つのステージを有する12個のチャージポンプを互いに並列接続するか、または、24個のステージを互いに直列接続することができる。

### 【0193】

ところで、12個の段は1組3個の段4セットにまとめることができる。したがって、上記各セットは $3/2$ ステージポンプである。これは、定義された各セット内に2通りの可能な組合せがあることを意味する。上記各セットにおいては、6個のステージ全てを直列で接続するか、または1組2個のステージを3セットを互いに並列で接続するかである。さらに、上記各セットは互いに並列接続または直列接続のどちらであってもよい。様々な組合せは記号命名法を使用して

より簡単に示すことができる。名称「S」および名称「P」は各セット内の段が直列か並列かのどちらで接続されているかを表す。上記「S」は各セット内の段が互いに直列に接続されていることを示し、「P」は各セット内の段が互いに並列に接続されていることを示す。また、記号「||」でセット同士が互いに並列接続していることを示し、記号「-」はセット同士が互いに直列接続していることを示す。上記「S」、「P」、「||」および「-」を用いると、12個の段は1組3個の段4セットにまとめた場合の他の可能な7つの組合せは、 $S \parallel S \parallel S \parallel S$ 、 $P \parallel P \parallel P \parallel P$ 、 $S - S - S - S$ 、 $P - P - P - P$ 、 $S - P - P - P$ 、 $S - S - P - P$ 、 $S - S - S - P$ である。これらの組合せのうちの2つ（すなわち、 $S - S - S - S$ 、 $P \parallel P \parallel P \parallel P$ ）は、段をセットに分割する段階を使用せずに達成できる組合せであらうから冗長である。ただし、この2つの例は、少なくとも他の5つの例の電源構成が個々に段のサブセットを制御することで達成される方法を示す。

#### 【0194】

これらの様々な構成に加えて、電源を形成するために、全ての段のサブセットを選択することができる。言い換えれば、適切に関連付けられた第2のスイッチを使用して段を選択解除する（すなわち、オフにスイッチする）ことで、一部の段を様々なチャージポンプで使用することができる。これは、全てのステージおよび電圧または電源が入っている回路（例えば、メモリ回路）の分圧器または分流器を使用せずに、電源を節約するのに使用できる。分圧器および分流器は、電力を消費する傾向があるので、電力を節約するためにできればなくすべきである。

#### 【0195】

ここで、「X/Y」の命名規則の定義を僅かだけ変更する。これまで「X」は段の総数を表し、各段がチャージポンプとして扱われていた。これに対して、ここでは、段のセットを再構成することにより、各セットが本質的にチャージポンプであることは明らかである。したがって、ここでは「X/Y」は、並列接続されたセット中の各チャージポンプがY個の直列接続されたステージを有することを表わすと共に、チャージポンプのセットをX個並列接続したものと表す。

## 【0196】

適切なステージ数の可変ステージチャージポンプを設計することで、その可変ステージチャージポンプは利用できる電源電圧に関係なくメモリ回路に適当な電圧を加えることが可能になる。例えば、可変ステージチャージポンプを用いてメモリ回路に複数レベルの電圧を印加する必要がある場合、設計者は、入力電圧に関わらず可変ステージチャージポンプで適切な出力電圧を確実に得るために、ステージインとステージアウトのスイッチを行うか、または、ステージの接続を変更する制御をスイッチに与えることができる。上記スイッチの制御は、利用可能な電源電圧  $V_{pp}$  と所望の可変ステージチャージポンプ出力電圧との関数となるはずである。上記可変ステージチャージポンプの出力を調節した場合にいくらか損失が発生するため、通常は可変ステージチャージポンプで供給する電圧は給電される回路が必要とする電圧より高くなければならない。

## 【0197】

また、上記実施の形態1～8のメモリ素子をメモリセルアレイのメモリセルとして用いた半導体記憶装置に可変ステージチャージポンプを組み込むと、外部回路が簡単になる。ただし、上記メモリ素子を最大限に利用するには、可変ステージチャージポンプは、電源から、必要とする電圧レベルを生成できなければならぬ。

## 【0198】

(実施の形態12)

図21に、本発明の実施の形態12の半導体記憶装置が備えるチャージポンプ装置の一例としての可変ステージチャージポンプ210, 220を含む電源回路のブロック図を示す。この可変ステージチャージポンプ210, 220は、2Vまたは4Vの電源を用いて4Vと6Vとの電圧レベルに対応するために使用される。

## 【0199】

なお、図2中では、上記可変ステージチャージポンプ210を示すブロック内には「低電圧6Vチャージポンプ」と書くと共に、可変ステージチャージポンプ220を示すブロック内には「高電圧4V/6Vチャージポンプ」と書いている

。

### 【0200】

上記可変ステージチャージポンプ210, 220は、出力が電圧調整器へ送られるため、名目上必要とされる電圧を超えるように設計されている。なお、適度な電源許容度は通常、入力電圧が名目値（例えば10%）の所定のパーセンテージ内である場合に、回路が適切に機能することを必要とする。

### 【0201】

上記可変ステージチャージポンプ220は高電流可変ステージチャージポンプである。可変ステージチャージポンプ210は、必要な時だけチャージポンプ220に加えて使用される低電流可変ステージチャージポンプである。また、上記可変ステージチャージポンプ210, 220は、読み出しモード、書き込みモード、消去モードの際に、内部ノードの電圧を異なる電圧に増大させるために使用する。上記可変ステージチャージポンプが含むチャージポンプは、2Vまたは4Vの電源電圧V<sub>pp</sub>と、出力すべき電圧レベルとによって再構成される。

### 【0202】

上記可変ステージチャージポンプ210, 220のステージ制御は、操作モード（読み出し、書き込み、または消去）と電源電圧V<sub>pp</sub>のレベルとによって決定される。上記電源電圧V<sub>pp</sub>のレベルは4/6V<sub>pp</sub>検出器230および2/4V<sub>pp</sub>検出器231で検出し、電源電圧V<sub>cc</sub>のレベルは2/4V<sub>cc</sub>検出器232で検出する。さらに詳しくは、上記4/6V<sub>pp</sub>検出器230は、電源電圧V<sub>pp</sub>が4Vか6Vかを判定するために使用される。また、上記2/4V<sub>pp</sub>検出器231は、電源電圧V<sub>pp</sub>が2Vか4Vかを判定するために使用される。そして、上記2/4V<sub>cc</sub>検出器232は、電源電圧V<sub>cc</sub>が2Vか4Vかを判定するために使用される。また、上記4/6V<sub>pp</sub>検出器230および2/4V<sub>pp</sub>検出器231の出力は、様々な電源電圧V<sub>pp</sub>のレベルの適切なアルゴリズムを選択するためにアルゴリズム選択回路が受ける。上記アルゴリズムは、電源電圧V<sub>pp</sub>および電源電圧V<sub>cc</sub>によって変わる。上記アルゴリズム選択回路290は、各アルゴリズムにしたがってスイッチ274を制御する。

### 【0203】

例えば、上記電源回路の出力をメモリセルアレイに送る場合、スイッチ274は、メモリセルアレイへ供給される適切な電源を選択するために、チャージポンプ210およびチャージポンプ220への電力の制御に使用される。上記メモリセルアレイへの電力は、線260、線262および線264によって供給される。上記線260は、V<sub>pp</sub>パッド295からの電源電圧V<sub>pp</sub>、または、可変ステージチャージポンプ210、可変ステージチャージポンプ220からの6Vをメモリセルアレイへ送る。上記メモリセルアレイの各操作モードのにより、適切な電圧をメモリセルアレイへ供給する。上記線262は、可変ステージチャージポンプ220からの4Vか、または、V<sub>cc</sub>パッド296からの電源電圧V<sub>cc</sub>かをメモリセルアレイへ与える。なお、上記2/4V<sub>cc</sub>検出器232を使用可能または使用不可能にするために線280が使用される。

#### 【0204】

上記可変ステージチャージポンプ210、220を駆動するためには、VCO(電圧制御発振器)240およびVCO241を使用する。上記VCO240、VCO241およびVCOに印加する基準電圧V<sub>ref</sub>は、基準電圧発生回路270で生成する。上記基準電圧V<sub>ref</sub>および可変ステージチャージポンプ210、220の出力からのフィードバックは、VCO240～242が可変ステージチャージポンプ210、220の出力電圧を制御する助けとするために制御電圧として使用される。なお、上記VCO242はメモリセルアレイが待機モードの時に、待機VCOとして機能する。

#### 【0205】

高電流可変ステージチャージポンプである可変ステージチャージポンプ220、および、低電流可変ステージチャージポンプである可変ステージチャージポンプ210は、操作モードおよび検出した電源電圧V<sub>pp</sub>の値によって再構成される。

#### 【0206】

特定の操作モードでは、上記可変ステージチャージポンプ210は使用されず、オフにすることができる。したがって、上記可変ステージチャージポンプ220が必要な場合、V<sub>pp</sub>パッド295からではなく、V<sub>cc</sub>パッド296から電

力を受ける。このVccパッド296の電源電圧Vccが3.0V未満であると2/4Vcc検出器232が検出した場合、可変ステージチャージポンプ220は線262に4Vを供給するために必要とされる。上記電源電圧Vccが3.0V以上であると2/4Vcc検出器232が検出した場合、電源電圧Vccは十分であると仮定され、線262は、可変ステージチャージポンプ220（これ以上必要ないため、これはオフにすることができる）からではなく、Vccパッド296からメモリセルアレイに直接電圧を供給するようにスイッチされる。

### 【0207】

（実施の形態13）

図23に、本発明の実施の形態13の半導体記憶装置のブロック図を示す。

### 【0208】

上記半導体記憶装置は電圧極性反転回路401を備えている。この電圧極性反転回路401は入力電圧の極性を反転して出力する装置である。上記電圧極性反転回路401の入力端子は、チャージポンプ装置の一例としての可変ステージチャージポンプ400の出力端子に接続され、電圧極性反転回路401の出力端子はスイッチ403を介してメモリセルアレイ402の入力端子に接続される。また、上記可変ステージチャージポンプ400の出力端子は、スイッチ404を介してメモリセルアレイ402の入力端子に接続されている。上記スイッチ403，404は、図示しない制御装置が出力する制御信号により制御される。

### 【0209】

上記構成の電圧極性反転回路401を用いることにより、メモリセルアレイ402に負電圧を供給することができる。したがって、上記メモリセルアレイ402が、メモリセルとして上記実施の形態1～8のメモリ素子を用いているとしても、メモリセルアレイ402の各操作モードに可変ステージチャージポンプ400を対応させることができる。

### 【0210】

また、上記可変ステージチャージポンプ400の出力が電圧極性反転回路401の入力として使用されるので、複数の負電圧レベルをメモリセルアレイ402に容易に供給できる。

### 【0211】

また、上記メモリセルアレイ402の操作モードにおいては、可変ステージチャージポンプ400の入力電圧レベル、出力電圧レベルによっては、使用されないチャージポンプが可変ステージチャージポンプ400内に存在する。この操作モードでメモリセルアレイ402に負電圧を供給するには、その未使用のチャージポンプを使用する。これにより、上記メモリセルアレイ402の各操作モードで必要とされる負電圧レベルを、専用のチャージポンプを用いずに得ることができる。また、上記負電圧レベルを生成するための専用のチャージポンプを設けなくてもいいので、回路面積の縮小が可能となる。

### 【0212】

上記可変ステージチャージポンプ400は、メモリセルアレイ402と同じパッケージ内で製造することができる。また、上記可変ステージチャージポンプ400はメモリセルアレイパッケージ402の外部に配置することもできる。

### 【0213】

上記実施の形態では、上記可変ステージチャージポンプ400とメモリセルアレイ402との間に1つの電圧極性反転回路401を接続していたが、可変ステージチャージポンプ400とメモリセルアレイ402との間に2つ以上の電圧極性反転回路を接続してもよい。

### 【0214】

(実施の形態14)

上述した半導体記憶装置の応用例として、例えば、図24に示したように、液晶パネルの画像調整用の書換え可能な不揮発性メモリが挙げられる。

### 【0215】

図24に示す液晶パネル701は、液晶ドライバ702によって駆動される。液晶ドライバ702内には、半導体記憶装置としての不揮発性メモリ部703、SRAM部704、液晶ドライバ回路705がある。不揮発性メモリ部703は、本発明の不揮発性メモリ素子を含み、好ましくは実施の形態10～13に記載の半導体記憶装置よりなる。不揮発性メモリ部703は外部から書換え可能な構成を有している。

## 【0216】

不揮発性メモリ部703に記憶された情報は、機器の電源の投入時にS R A M部704に転写される。液晶ドライバ回路705は、必要に応じてS R A M部704から記憶情報を読み出すことができる。S R A M部を設けることにより、記憶情報の読み出し速度を非常に高速に行なうことができる。

## 【0217】

液晶ドライバ702は、図24に示すように液晶パネル701に外付けしてもよいが、液晶パネル701上に形成してもよい。

## 【0218】

液晶パネルは、各画素に多段階の電圧を与えることによって表示される階調を変えているが、与えた電圧と表示される階調との関係は製品ごとにばらつきが生じる。そのため、製品の完成後に個々の製品のばらつきを補正するための情報を記憶させ、その情報を基に補正を行なうことにより、製品間の画質を均一にすることができる。したがって、補正情報を記憶するための書換え可能な不揮発性メモリを液晶ドライバに搭載することが好ましい。この不揮発性メモリとして本発明の不揮発性メモリ素子を用いるのが好ましく、特に、本発明の不揮発性メモリ素子を集積した実施の形態10～13に記載の半導体記憶装置を用いるのが好ましい。

## 【0219】

本発明のメモリ素子を液晶パネルの画像調整用の不揮発性メモリとして用いれば、液晶ドライバなどの回路との混載プロセスが容易であることから製造コストを低減することができる。また、実施の形態10～14に記載の半導体記憶装置は、比較的メモリ規模が小規模で、信頼性や安定性が重視される場合に特に好適である。通常、液晶パネルの画像調整用の不揮発性メモリは、例えば、数キロバイトであり、比較的メモリ規模が小規模である。したがって、実施の形態10～14に記載の半導体記憶装置を液晶パネルの画像調整用の不揮発性メモリとして用いるのが特に好ましい。

## 【0220】

(実施の形態15)

上述した半導体記憶装置が組み込まれた携帯電子機器である携帯電話を、図25に示す。

#### 【0221】

この携帯電話は、主として、制御回路811、電池812、RF（無線周波数）回路813、表示部814、アンテナ815、信号線816、電源線817等によって構成されており、制御回路811には、上述した本発明の半導体記憶装置が組み込まれている。なお、制御回路811は、同一構造の素子をメモリ回路素子及び論理回路素子として兼用した集積回路であるのが好ましい。これにより、集積回路の製造が容易になり、携帯電子機器の製造コストを特に低減することができる。

#### 【0222】

このように、メモリ部と論理回路部の混載プロセスが簡易で、かつ高速読出しだけが可能である半導体記憶装置を携帯電子機器に用いることにより、携帯電子機器の動作速度を向上させ、製造コストを削減することが可能になり、安価で高信頼性、高性能の携帯電子機器を得ることができる。

#### 【0223】

##### 【発明の効果】

以上より明らかなように、第1の発明の半導体記憶装置は、直列接続用スイッチ、入力側スイッチおよび第1、第2の出力側スイッチを制御することにより、第1、第2のチャージポンプを互いに直列接続させたり、第1、第2のチャージポンプを互いに並列接続させたりすることができる。したがって、複数の電圧レベルを、各電圧レベル専門のチャージポンプを用いることなく得ることができ、チャージポンプ装置の回路数を減少させることができる。

#### 【0224】

また、メモリセルの不揮発性メモリはゲート電極の両側にメモリ機能体を有するので、メモリセルを微細化しても、2ビット以上の記憶保持ができる。その結果、上記メモリセルアレイの回路面積を縮小して、記憶装置を小型化することができる。

#### 【0225】

また、上記チャージポンプ装置の回路面積も縮小することができるので、不揮発性メモリ素子の微細化や多値記憶による回路面積の減少効果が損なわれず、記憶装置をより小型化することができる。

### 【0226】

第2の発明の半導体記憶装置は、(n-1)番目の直列接続用スイッチ、n番目のチャージポンプの入力端子に接続された入力側スイッチ、(n-1)番目の出力側スイッチおよびn番目の出力側スイッチを制御することにより、(n-1)番目のチャージポンプとn番目のチャージポンプとを互いに直列接続させたり、上記(n-1)番目のチャージポンプとn番目のチャージポンプとを互いに並列接続させたりすることができる。したがって、複数の電圧レベルを、各電圧レベル専門のチャージポンプを用いることなく得ることができ、回路数を減少させることができる。

### 【0227】

また、メモリセルの不揮発性メモリはゲート電極の両側にメモリ機能体を有するので、メモリセルを微細化しても、2ビット以上の記憶保持ができる。その結果、上記メモリセルアレイの回路面積を縮小して、小型化することができる。

また、上記メモリ素子の形成プロセスは、通常のトランジスタの形成プロセスと非常に親和性が高い。それゆえ、従来技術のフラッシュメモリを不揮発性メモリ素子として用いて通常トランジスタからなる周辺回路と混載する場合と比べて、飛躍的にマスク枚数及びプロセス工数を削減することが可能となる。したがって、チップの歩留まりが向上し、コストを削減することができる。

#### 【図面の簡単な説明】

【図1】 図1は本発明の実施の形態1の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図2】 図2(a), (b)は上記実施の形態1の半導体記憶装置におけるメモリ素子の変形例の要部の概略断面図である。

【図3】 図3は上記実施の形態1の半導体記憶装置におけるメモリ素子の書き込み動作を説明するための図である。

【図4】 図4は上記実施の形態1の半導体記憶装置におけるメモリ素子の

書き込み動作を説明するための図である。

【図 5】 図 5 は上記実施の形態 1 の半導体記憶装置におけるメモリ素子の消去動作を説明するための図である。

【図 6】 図 6 は上記実施の形態 1 の半導体記憶装置におけるメモリ素子の消去動作を説明するための図である。

【図 7】 図 7 は上記実施の形態 1 の半導体記憶装置におけるメモリ素子の読み出し動作を説明する図である。

【図 8】 図 8 は本発明の実施の形態 2 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 9】 図 9 は上記実施の形態 2 の半導体記憶装置の要部の拡大概略断面図である。

【図 10】 図 10 は上記実施の形態 2 の半導体記憶装置の変形例の要部の拡大概略断面図である。

【図 11】 図 11 は上記実施の形態 2 の半導体記憶装置におけるメモリ素子の電気特性を示すグラフである。

【図 12】 図 12 は上記実施の形態 2 の半導体記憶装置におけるメモリ素子の変形例の要部の概略断面図である。

【図 13】 図 13 は本発明の実施の形態 3 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 14】 図 14 は本発明の実施の形態 4 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 15】 図 15 は本発明の実施の形態 5 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 16】 図 16 は本発明の実施の形態 6 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 17】 図 17 は本発明の実施の形態 7 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 18】 図 18 は本発明の実施の形態 8 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図19】 図19は本発明の実施の形態9の半導体記憶装置におけるメモリ素子の電気特性を示すグラフである。

【図20】 図20は本発明の実施の形態10の半導体記憶装置の可変ステージチャージポンプのブロック図である。

【図21】 図21は本発明の実施の形態12の半導体記憶装置の可変ステージチャージポンプを含む電源回路のブロック図である。

【図22】 図22は上記実施の形態10の半導体記憶装置の第1，第2のチャージポンプの動作を説明するための表である。

【図23】 図23は本発明の実施の形態13の半導体記憶装置のブロック図である。

【図24】 図24は本発明の半導体記憶装置を組み込んだ液晶表示装置の概略構成図である。

【図25】 図25は本発明の半導体記憶装置を組み込んだ携帯電子機器の概略構成図である。

【図26】 図26は従来のフラッシュメモリの要部の概略断面図である。

【図27】 図27は従来のフラッシュメモリの電気特性を示すグラフである。

#### 【符号の説明】

100, 210, 220, 400 可変ステージチャージポンプ

110 第1のチャージポンプ

120 第2のチャージポンプ

130 第1のスイッチ

131 第2のスイッチ

140, 142 nチャネルMOSFET

160 共通入力バス

170 共通出力バス

307 チャネル領域

300 ゲート電極

301 ゲート絶縁膜

302 ソース領域

303 ドレイン領域

305, 306 電荷保持膜

1001 メモリ素子

1104, 1217, 1217a ゲート電極

1105a, 1105b メモリ機能体

1107a, 1107b 拡散領域

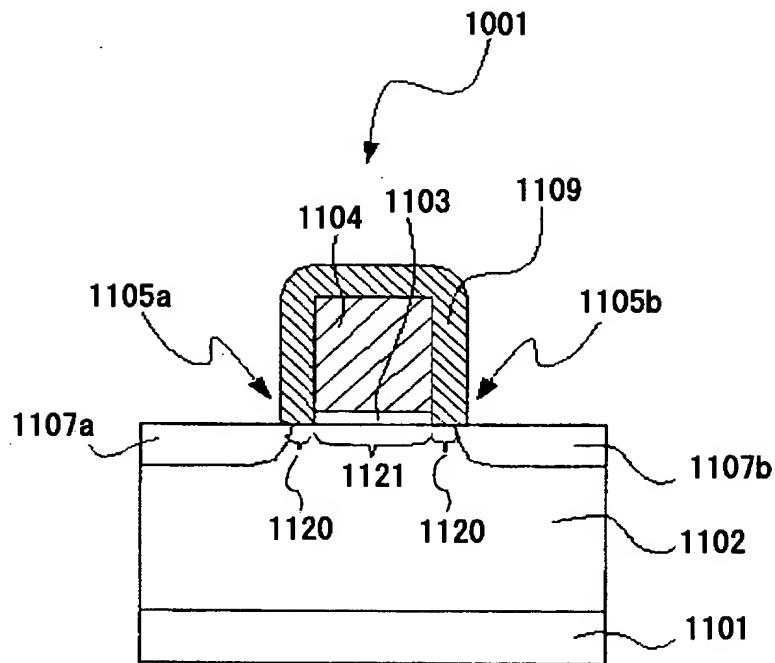
1109 シリコン窒化膜

1212, 1213 拡散領域

1131a, 1131b, 1261, 1262, 1262a メモリ機能体

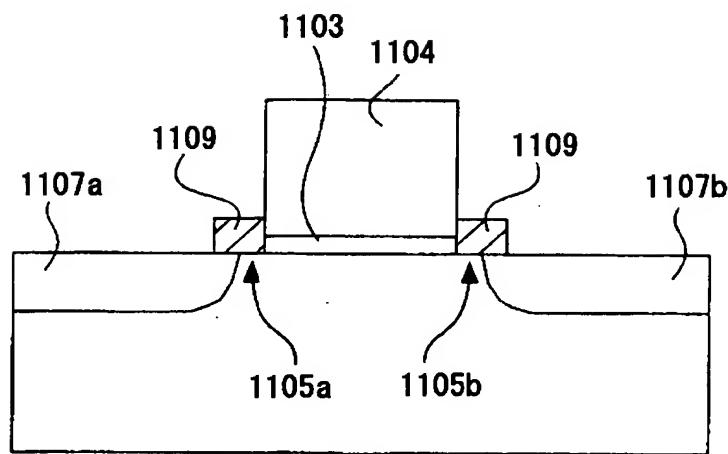
【書類名】 図面

【図 1】

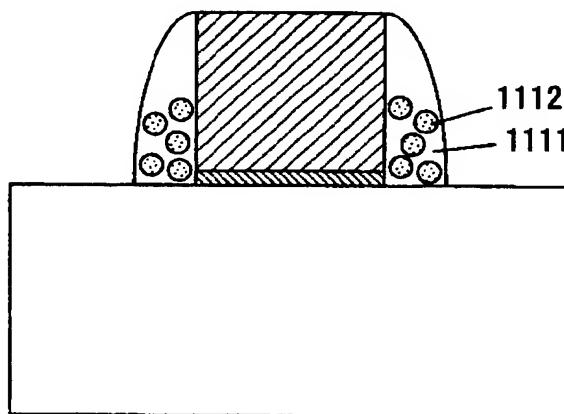


【図2】

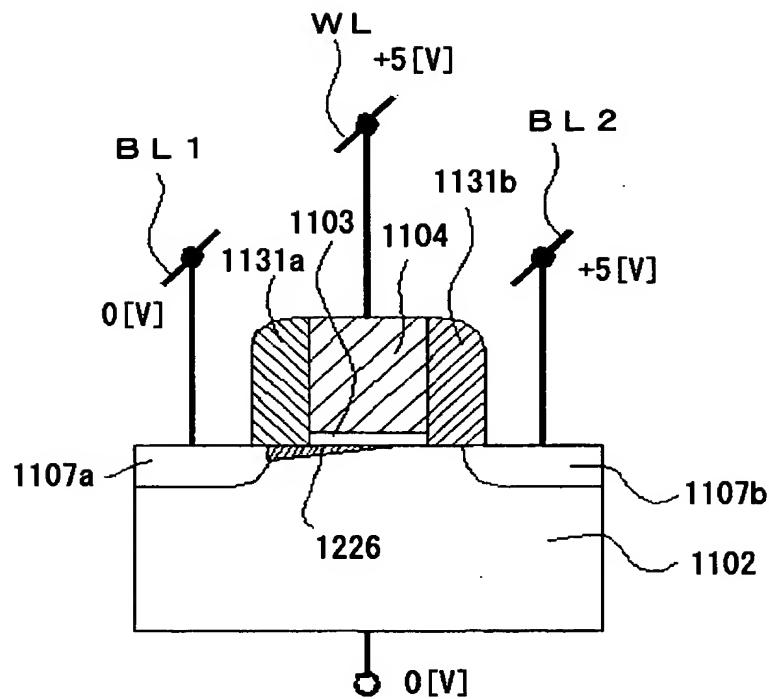
(a)



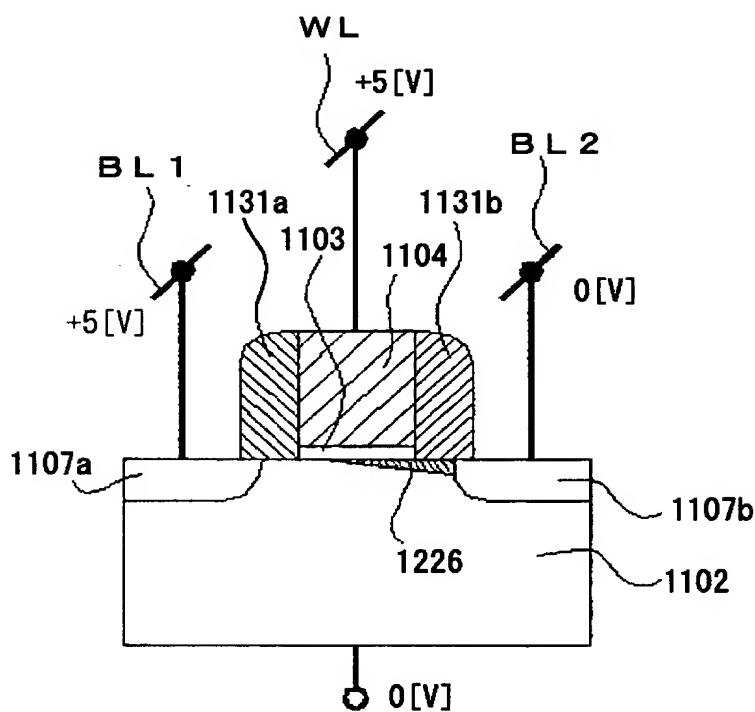
(b)



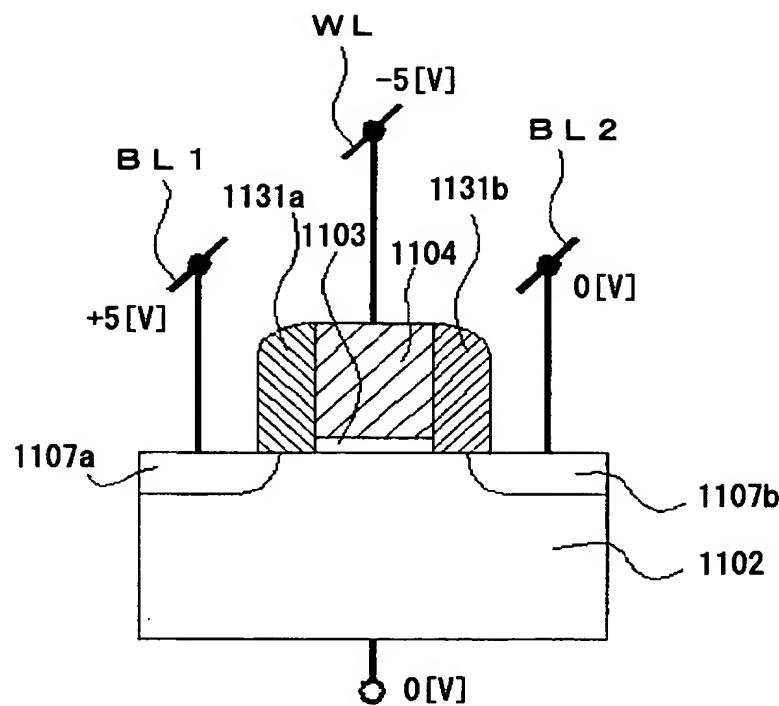
【図3】



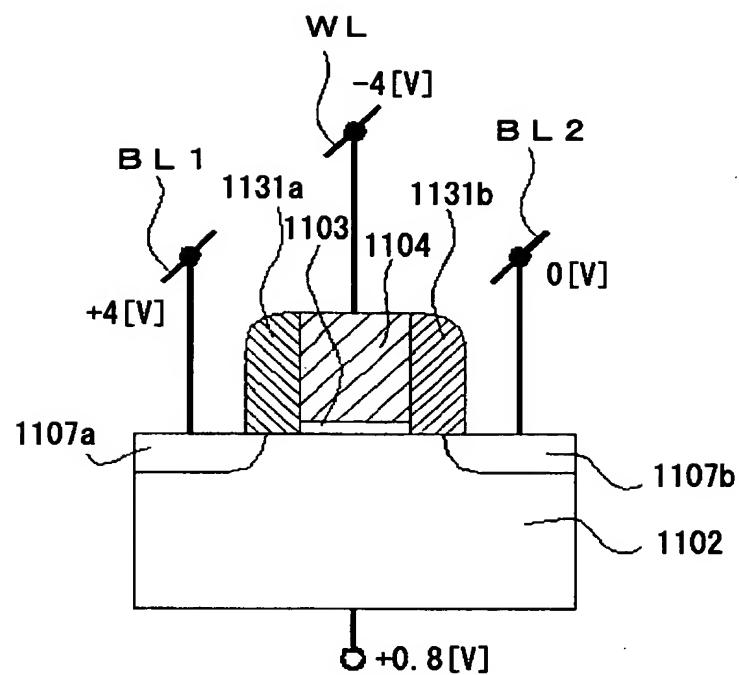
【図 4】



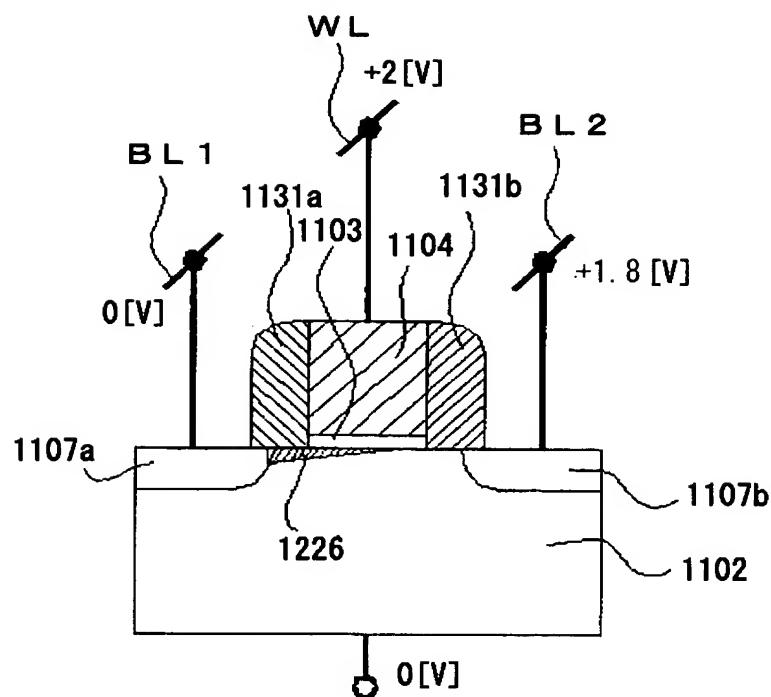
【図5】



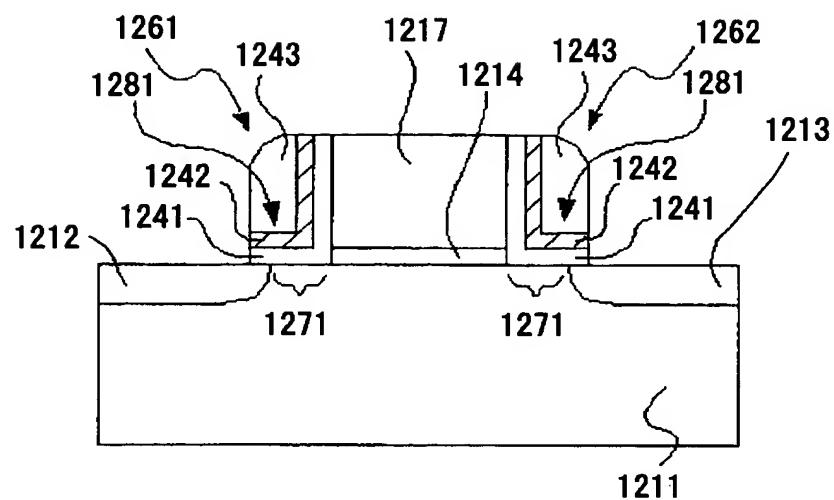
【図 6】



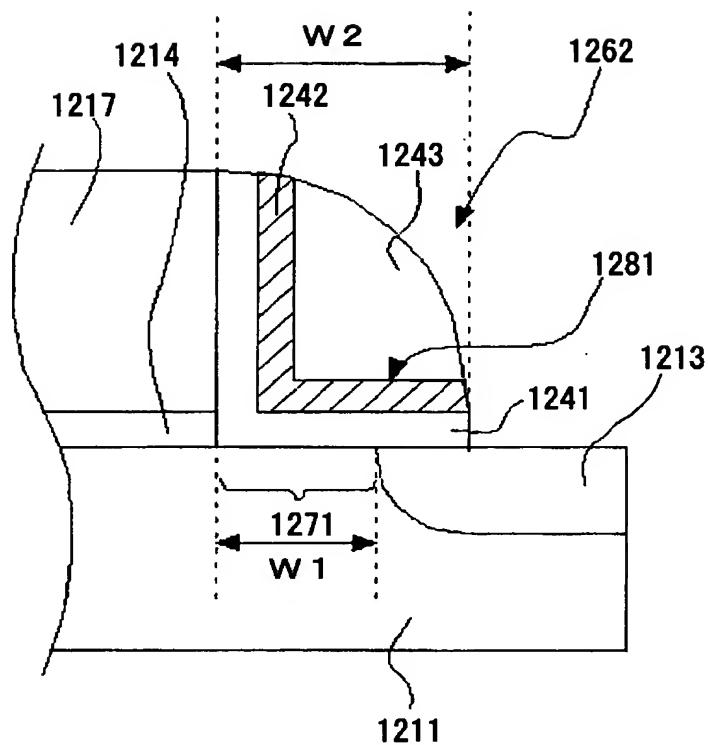
【図7】



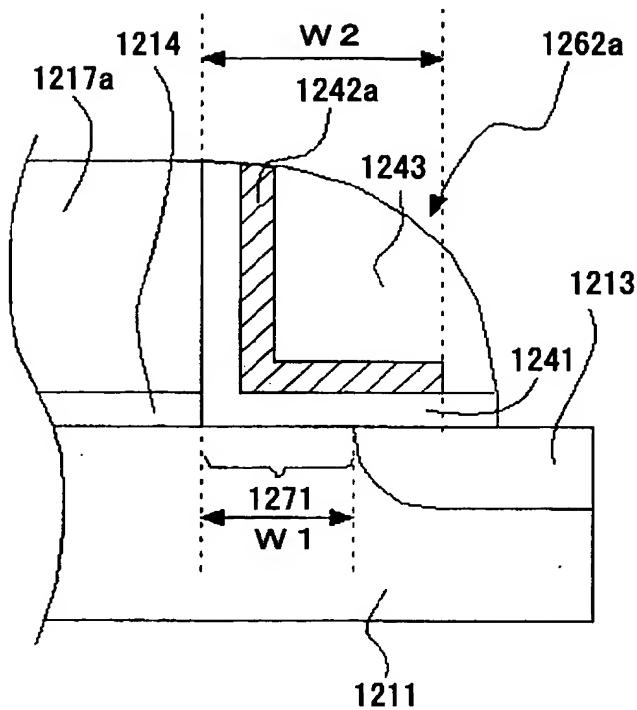
【図8】



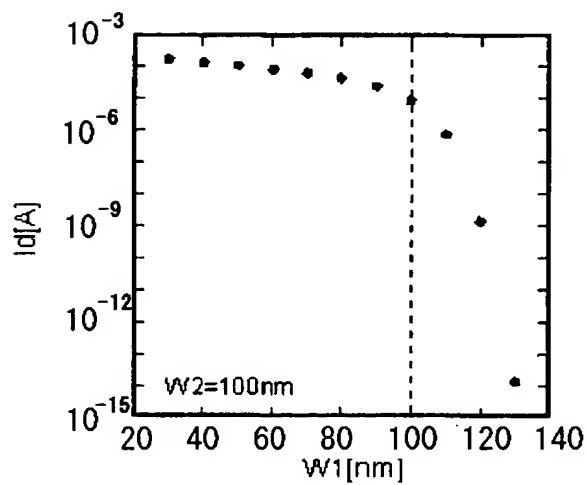
【図9】



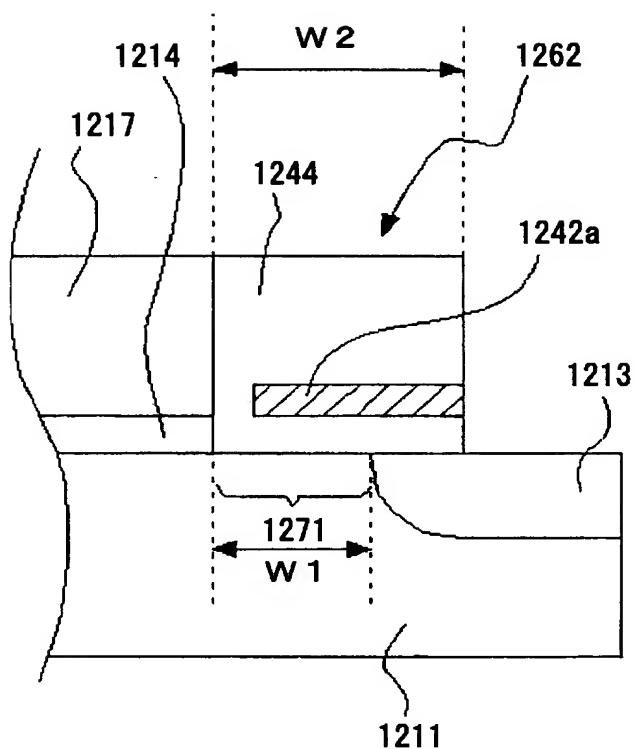
【図 10】



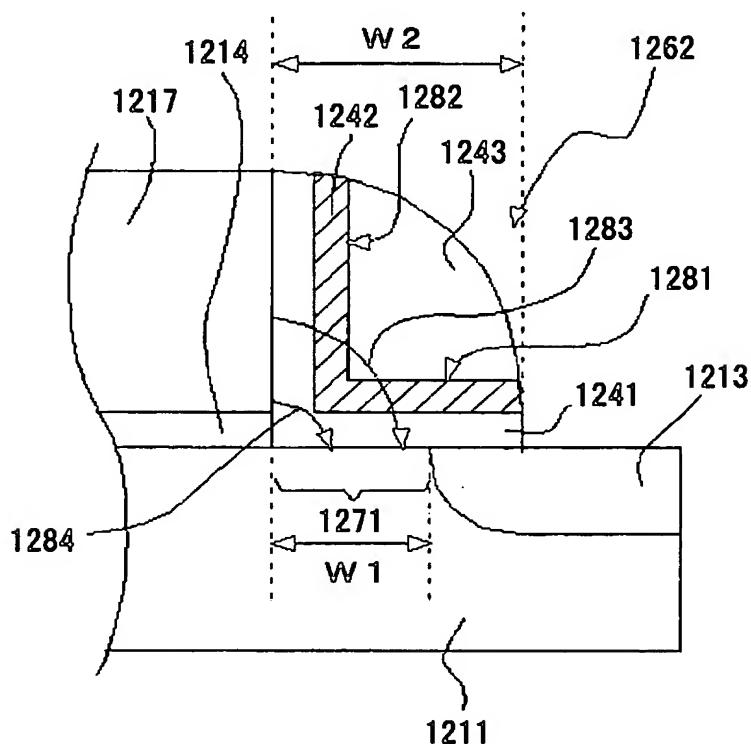
【図 11】



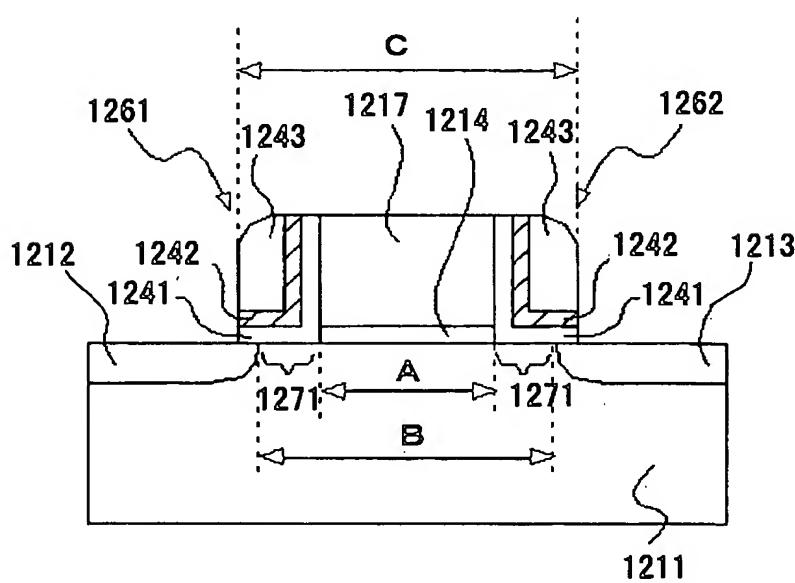
【図12】



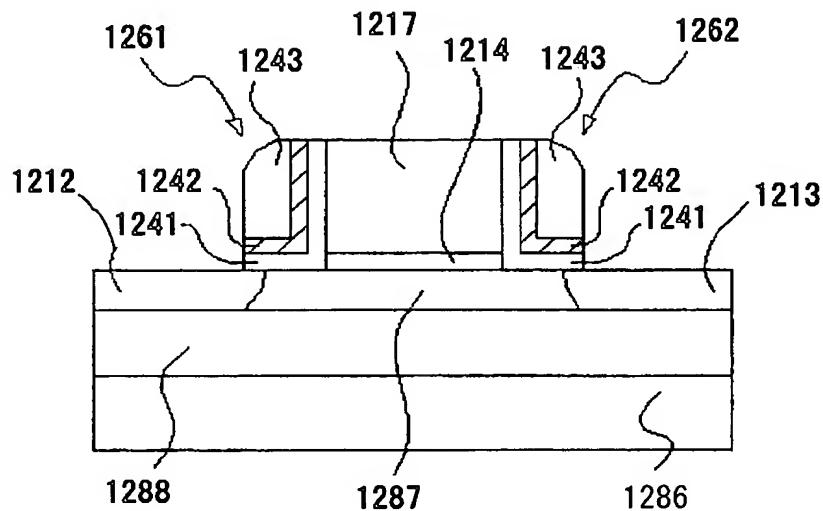
【図13】



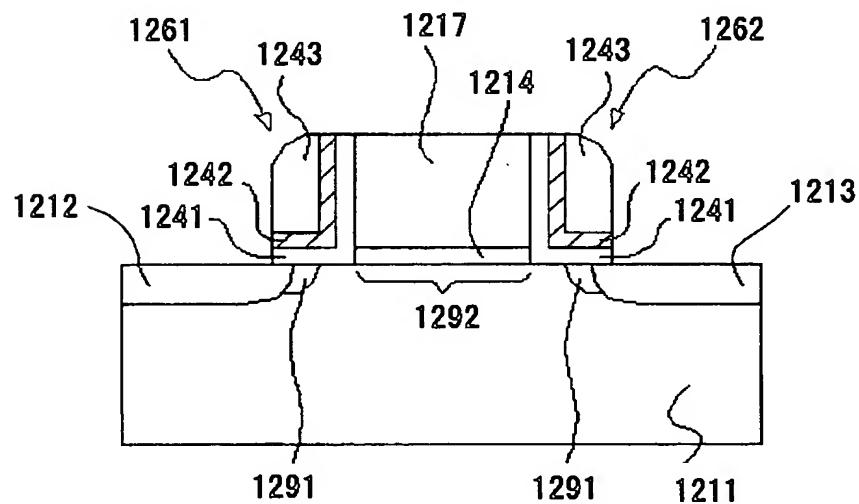
【図14】



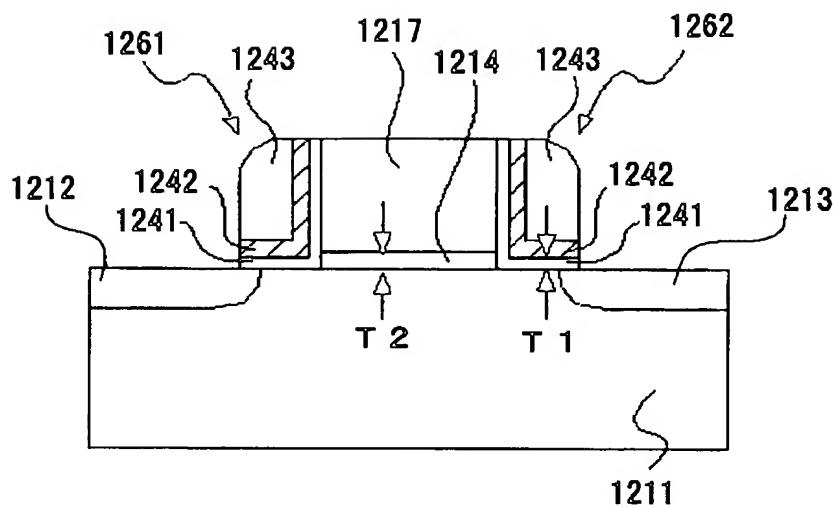
【図15】



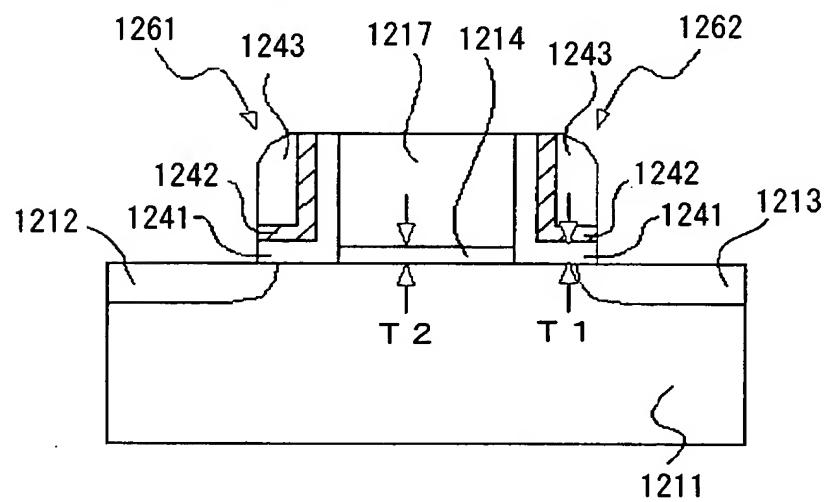
【図16】



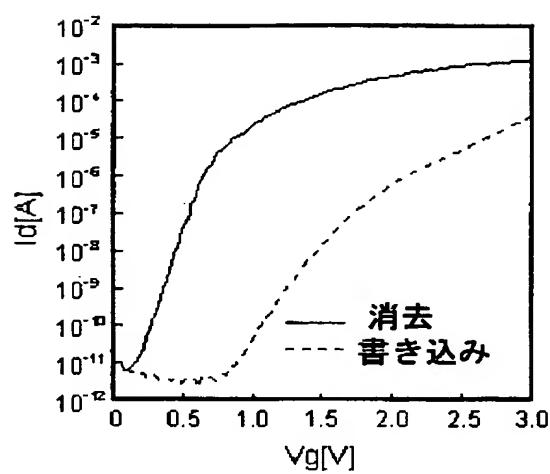
【図17】



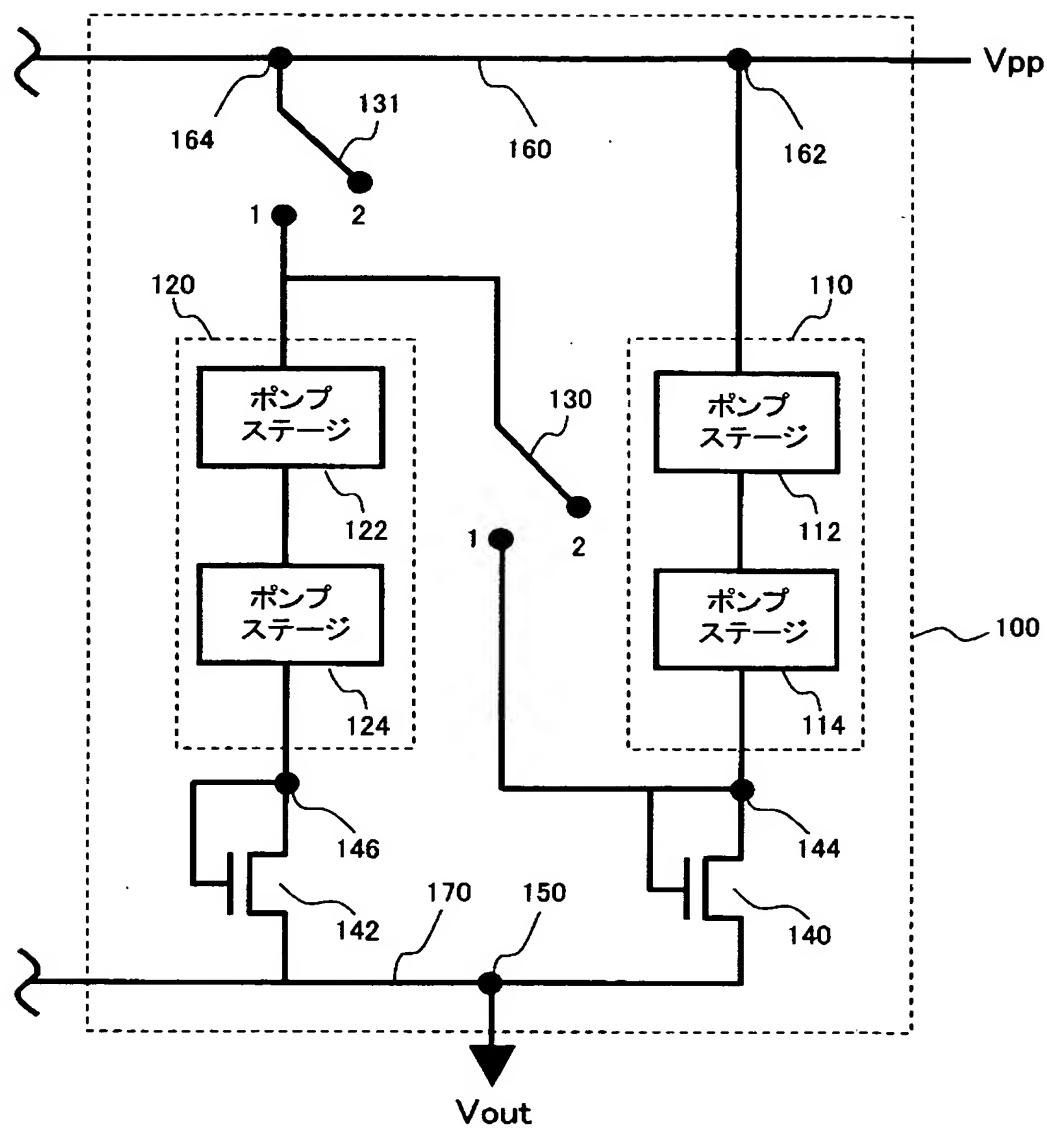
【図18】



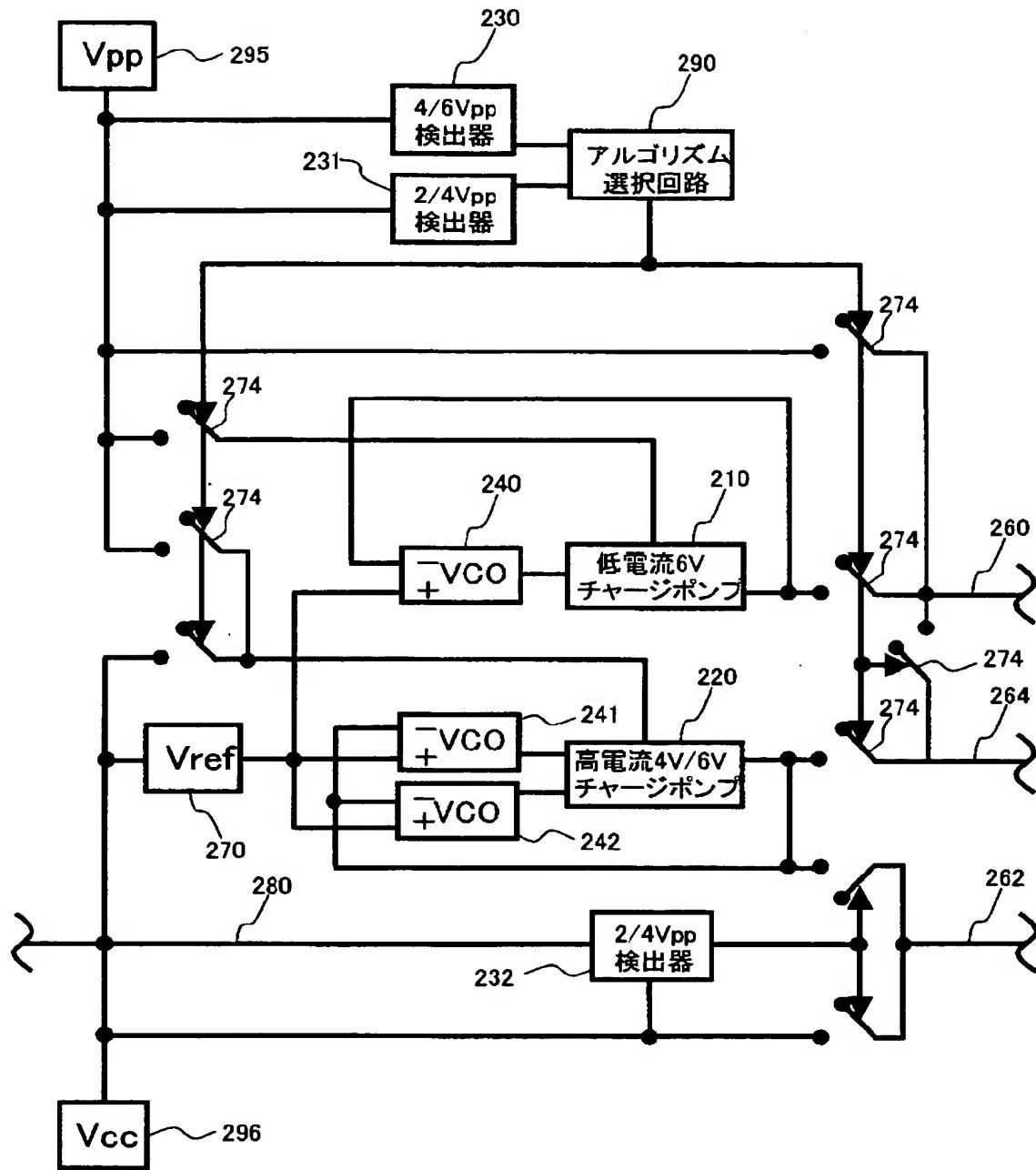
【図19】



【図20】



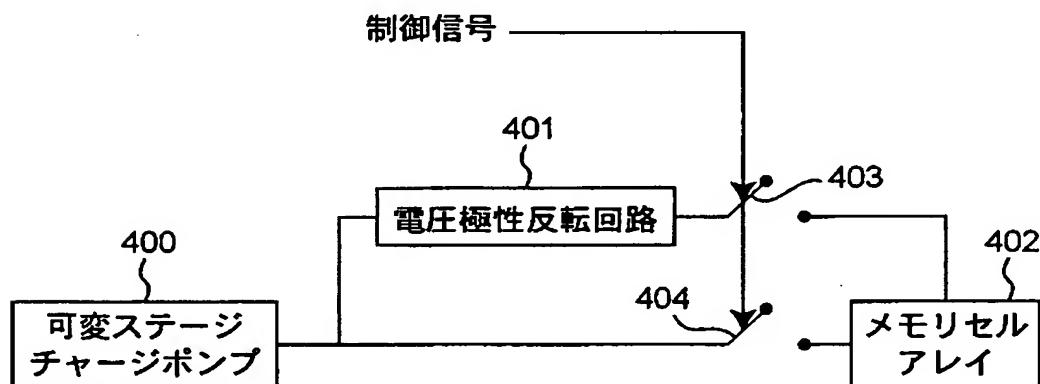
【図21】



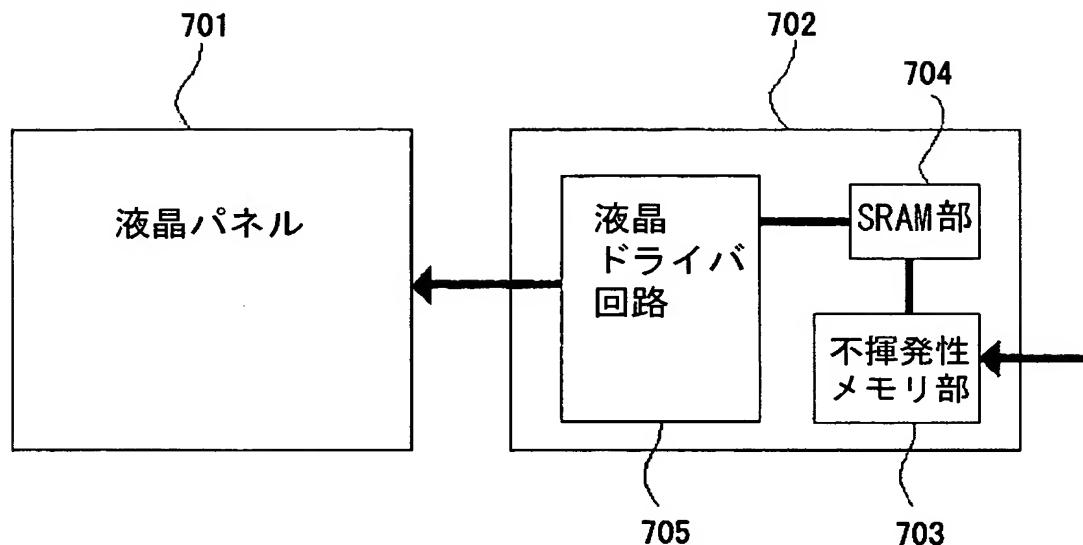
【図22】

スイッチ130	スイッチ131	チャージポンプ110	チャージポンプ120
OFF	OFF	ON	OFF
OFF	ON	ON	チャージポンプ110に並列接続
ON	OFF	ON	チャージポンプ110に直列接続
ON	ON	N/A	N/A

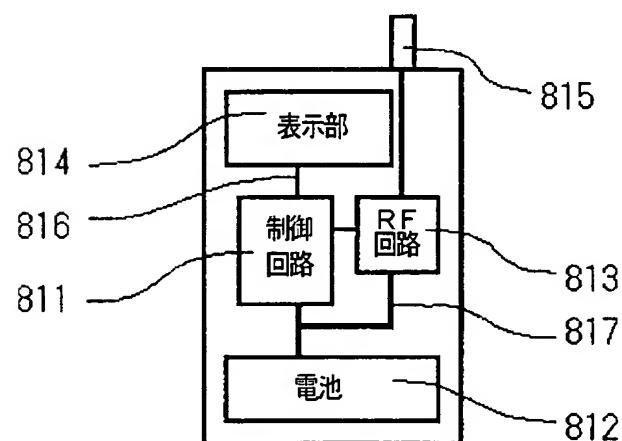
【図23】



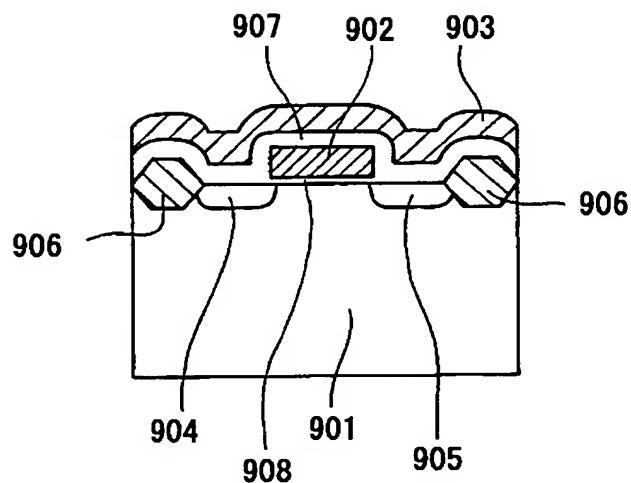
【図24】



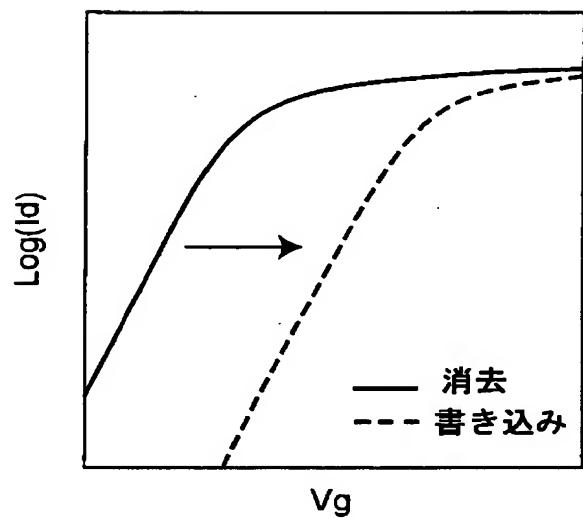
【図25】



【図26】



【図27】



【書類名】 要約書

【要約】

【課題】 回路面積を小さくしても、異なる複数の電圧レベルを得ることができる半導体記憶装置を提供する。

【解決手段】 可変ステージチャージポンプ100では、共通入力バス160と共通出力バス170との間に第1、第2のチャージポンプ110、120を並列に接続している。第1のチャージポンプ110の出力端子と共通出力バス170とを接続する線にはnチャネルMOSFET140を設け、第2のチャージポンプ120と共通出力バス170とを接続する線にはnチャネルMOSFET142を設ける。第2のチャージポンプ120の入力端子と共通入力バス160とを接続する線には第2のスイッチ131を設ける。第1のチャージポンプ110の出力端子とnチャネルMOSFET140との間と、第2のチャージポンプ120の入力端子と第2のスイッチ131との間には、第1のスイッチ130を設ける。

【選択図】 図20

特願2003-142318

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住所 大阪府大阪市阿倍野区長池町22番22号  
氏名 シャープ株式会社